

# СИСТЕМЫ И СРЕДСТВА ИНФОРМАТИКИ

Том 22 № 1 Год 2012

## СОДЕРЖАНИЕ

Развитие математического обеспечения для анализа нелинейных многоканальных круговых стохастических систем <i>И. Н. Синицын, Э. Р. Корепанов, В. В. Белоусов, Т. Д. Конашенкова</i>	3
Персонафицированное преобразование представлений цветных изображений на мониторе ПЭВМ <i>О. П. Архипов, З. П. Зыкова</i>	22
Система характеристики самосинхронных элементов <i>Ю. Г. Дьяченко, Н. В. Морозов, Д. Ю. Степченков, Ю. А. Степченков</i>	38
Фиксация исключительных ситуаций в рекуррентном операционном устройстве <i>Р. А. Зеленов, А. А. Прокофьев, Ю. А. Степченков, В. Н. Волчек</i>	49
Иерархический метод анализа самосинхронных электронных схем <i>Л. П. Плеханов</i>	62
Повышение отказоустойчивости данных в кэш-памяти путем их обновления <i>Б. З. Шмейлин</i>	74
Моделирование лексической семантики в задачах компьютерной лингвистики <i>О. С. Кожунова</i>	86
Program-oriented indicators: Production and application in science <i>I. Zatsman and A. Durnovo</i>	110
Предметные словари: назначение, особенности и перспективы <i>Н. В. Сомин, И. П. Кузнецов, М. М. Шарнин, В. Г. Николаев</i>	121
Оценки скорости сходимости распределений случайных сумм к несимметричному распределению Стьюдента <i>В. Е. Бенинг, Л. М. Закс, В. Ю. Королев</i>	132

Принципы создания подобной функциональности, которые могут быть использованы практически для любой вычислительной системы, можно представить в виде последовательности шагов:

- (1) составление перечня возможных ИС на основе анализа функционирования каждого из блоков вычислительной системы;
- (2) классификация ИС, которая необходима для выработки правил их обработки;
- (3) определение минимально необходимого набора информации, который позволит эффективно проводить процедуры отладки;
- (4) определение возможных вариантов работы с ИС, и в случае если их фиксация и обработка возложены на разные аппаратные модули, то разработка протокола их взаимодействия;
- (5) внедрение аппаратной поддержки обнаружения и обработки ИС в вычислительную систему.

В настоящее время ведется апробация вышеизложенных вариантов решения проблем фиксации и обработки ИС для РОУ.

## Литература

1. *Степченков Ю. А., Петрухин В. С.* Особенности гибридного варианта реализации на ПЛИС рекуррентного обработчика сигналов // Системы и средства информатики. Доп. вып. — М.: ИПИ РАН, 2008. С. 118–129.
2. *Зеленов Р. А., Степченков Ю. А., Волчек В. Н., Хилько Д. В., Шнейдер А. Ю., Прокофьев А. А.* Система капсульного программирования и отладки // Системы и средства информатики. — М.: ТОРУС ПРЕСС, 2010. Вып. 20. № 1. С. 24–30.
3. *Степченков Ю. А., Волчек В. Н., Петрухин В. С., Прокофьев А. А., Зеленов Р. А.* Механизмы обеспечения поддержки алгоритмов цифровой обработки речевых сигналов в рекуррентном обработчике сигналов // Системы и средства информатики. — М.: ТОРУС ПРЕСС, 2010. Вып. 20. № 1. С. 30–46.
4. *Степченков Ю. А., Волчек В. Н., Петрухин В. С., Прокофьев А. А., Зеленов Р. А.* Цифровой сигнальный процессор с нетрадиционной рекуррентной потоковой архитектурой // Проблемы разработки перспективных микро- и наноэлектронных систем — 2010: Сборник трудов. — М.: ИППМ РАН, 2010. 694 с.
5. *Селлерс Ф.* Методы обнаружения ошибок в работе ЭЦВМ / Пер. с англ. Ф. Селлерс. — М.: Мир, 1972. 310 с.
6. *Клингман Э.* Проектирование микропроцессорных систем / Пер. с англ. В. А. Бальбердина, В. А. Зинченко. — М.: Мир, 1980. 576 с.

## ИЕРАРХИЧЕСКИЙ МЕТОД АНАЛИЗА САМОСИНХРОННЫХ ЭЛЕКТРОННЫХ СХЕМ\*

*Л. П. Плеханов*<sup>1</sup>

**Аннотация:** Развитию и внедрению самосинхронных схем (СС), обладающих уникальными свойствами, во многом препятствуют трудности проектирования, в частности анализ на самосинхронность «больших» схем. Предлагается иерархический метод анализа схем неограниченного размера, основанный на функциональном подходе. В литературе подобного подхода и метода не отмечено.

**Ключевые слова:** самосинхронные схемы; асинхронные схемы; анализ самосинхронности

### 1 Введение

Самосинхронные схемы обладают уникальными свойствами, недостижимыми в реализации других типов схем, синхронных или асинхронных. К ним относятся независимость поведения от задержек элементов, полное отсутствие состязаний, отказобезопасность, правильность функционирования в максимально широком диапазоне внешних условий (температуры и напряжения питания) и некоторые другие [1–3].

Однако СС-схемы пока не получили широкого распространения по ряду причин, в частности индустриальной инерции. Другой важнейшей причиной является трудность проектирования таких схем. Для обеспечения свойства самосинхронности схемы необходимо тем или иным способом вычислить и проверить все возможные состояния, в которые попадает схема в реальной работе, а также все возможные переходы между этими состояниями.

Главной и неизбежной частью проектирования СС-схем является их анализ на самосинхронность. Поэтому на практике наличие средств анализа СС-схем любого размера есть необходимое условие полноценного проектирования таких схем.

Основные существующие методы проектирования СС-схем основаны на представлении поведения схем в форме переключений сигналов — событий. Такие

---

\* Работа выполнена при частичной финансовой поддержке по Программе фундаментальных исследований ОНИТ РАН на 2012 г., проект 1.5.

<sup>1</sup> Институт проблем информатики Российской академии наук, L.Plekhanov@ipiran.ru

методы далее будут называться *событийными*. Это метод диаграмм переходов (ДП), восходящий к Маллеру [4], и метод диаграмм изменений (ДИ), предложенный группой В. И. Варшавского [5].

Другой подход — *функциональный* — основан на анализе поведения схем в представлении логическими функциями. Анализ СС-схем при таком подходе предложен в [6], а сам подход более подробно представлен в [7].

Следует отметить, что в силу отмеченной выше объективной необходимости проверки с исчерпывающей полнотой состояний и переходов никакие методы анализа, основанные на исследовании полной системы уравнений схемы (учета всех ее элементов), не позволяют неограниченно увеличивать размер анализируемой схемы. Причина — в экспоненциальном росте вычислительной сложности с увеличением числа информационных входов схемы и переменных памяти (во всех случаях) либо еще и с увеличением числа уравнений схемы (в случае ДП).

Перспектива анализа СС-схем, следовательно, лежит в разработке иерархических методов, дающих возможность корректно сокращать исследуемые сущности (события, уравнения и т. д.).

Один из возможных подходов к такому анализу в событийных представлениях можно найти в [8]. В нем предлагается использовать ДИ, ранее построенные для блоков нижнего уровня, в довольно сложном взаимодействии с ДИ анализируемой схемы. Материал изложен как возможный путь (в форме доказательств теорем), но не разработан как практический метод.

Попытка предложить иерархический анализ сделана в [9, с. 6]. Помимо того, что обсуждение и обоснование иерархического анализа не соответствует названию статьи, приведенные в ней выкладки не обоснованы. Предлагается сокращать схему путем замены блоков на «макроэлементы», имеющие только фазовые сигналы, и анализировать на полумодулярность (независимость от задержек элементов) результирующую модель схемы. Заявляется, что свойство полумодулярности исходной схемы совпадает с полумодулярностью результирующей модели. Однако и схема, и модель описываются разными системами уравнений от разных переменных. Эти системы в статье не приводятся, и связь между их переменными, уравнениями и полумодулярностью не установлена. Далее, основные источники состязаний (нарушающие полумодулярность) — информационные бистабильные сигналы — в макроэлементы не попадают, а одни фазовые сигналы не отражают всей динамики взаимодействия блоков. Если, например, на информационных входах триггера [9, рис. 2] в составе исходной схемы есть состязания, то при переходе к фазовому макроэлементу они исчезают, т. е. не учитываются.

Функциональный подход использует другие принципы и, как заявлено в публикациях [6, 7], дает возможность иерархического анализа. Конкретным способом его достижения и посвящена настоящая статья.

## 2 Метод анализа

Аналогов предлагаемого (функционального) подхода и метода в литературе не найдено.

К особенностям СС-схем, определяющим как их свойства, так и способы проектирования, следует отнести специальное — самосинхронное — кодирование информации и двухфазный режим работы [1].

Любая СС-схема в конечном применении должна быть замкнутой (с помощью общей обратной связи) и самогенерирующей. Схема поэтому автоматически переходит поочередно из одной фазы (стадии) в другую, что необходимо для обеспечения самосинхронности. Фазы носят название рабочей и спейсера (промежуточной).

В событийных методах анализа схемы рассматриваются именно как замкнутые (система уравнений, соответственно, также замкнута).

Однако для целей анализа можно исследовать и разомкнутые схемы [3], что и реализуется при функциональном подходе. Соответствующий функциональный метод анализа (ФМА), использующий полную систему уравнений схемы, описан в [6]. Как одна из главных задач ФМА (помимо анализа самосинхронности) изначально ставилась задача определения параметров внешних связей схемы, требуемых для следующего верхнего уровня иерархии анализируемой схемы.

В рамках функционального подхода можно естественно подойти к иерархическому анализу: схемы в окончательном виде создаются иерархически, снизу вверх, они на этапе проектирования разомкнуты и имеют понятный для разработчика интерфейс.

Существо предлагаемого иерархического метода анализа (ИМА) состоит в том, что анализируемая схема не раскрывается до элементов (уравнений), как это требуется в существующих «полных» методах. Схема должна состоять из фрагментов (блоков), заранее прошедших ФМА. На этапе ИМА проверяются только внешние описания (интерфейсы) фрагментов схемы и соединения фрагментов.

Вычислительная сложность ИМА практически линейна по числу сигналов и фрагментов, что позволяет анализировать «поэтажно», снизу вверх, схемы любого размера.

Таким образом, общий порядок анализа СС-схем должен состоять из двух этапов: анализа схем нижнего уровня по полным уравнениям (ФМА) и иерархического анализа на всех более высоких уровнях (ИМА).

Для эффективного прохождения наиболее трудоемкого этапа — ФМА — размер анализируемых схем на нем можно сделать достаточно малым, вплоть до отдельного триггера и небольшой комбинационной ячейки. Создание небольших СС-схем в настоящий момент уже хорошо отработано.

Далее будет рассматриваться иерархический метод.

## 2.1 Представление разомкнутых самосинхронных схем

В событийных методах схемы представляются замкнутыми, не имеющими входов и выходов. На практике разрабатываемые схемы всегда имеют входы и выходы, но при переходе к событийному анализу требуется дополнять описание каждой схемы специальным замыканием (не всегда простым), в результате чего входы и выходы «исчезают».

Для разомкнутой СС-схемы необходимо явно обозначить ее интерфейс — внешние входы и выходы, а также снабдить их определенными атрибутами — типами и свойствами, специфичными для самосинхронности. Эти атрибуты будут отражать особенности взаимодействия внешних сигналов как с окружением, так и с внутренними элементами.

Типы внешних сигналов (*СС-типы*) можно разделить на три группы: информационные, контрольные и вспомогательные.

К информационным сигналам относятся парафазные со спейсером (*ПФС-сигналы*) и бистабильные — входы и выходы бистабильных ячеек (*БСЯ*) (*БС-сигналы*). Контрольные сигналы предназначены для организации переходов из одной фазы в другую. К ним относятся управляющие на входе (*У-сигналы*) и индикаторные на выходе (*И-сигналы*): *У*-сигналы инициируют переключения из одной фазы в другую, *И*-сигналы показывают завершение перехода схемы в текущую фазу.

Другие разновидности сигналов, встречающиеся иногда в схемах, — мультифазные, мультистабильные, унарные информационные — учитываются аналогично вышеприведенным и для простоты рассматриваться не будут.

Вспомогательные сигналы предназначены для вспомогательных целей (например, режимные или асинхронной предустановки) и далее также учитываться не будут.

Контрольные и ПФС-сигналы специфичны для фазы работы и вместе будут называться *фазовыми* сигналами. *И* на входе, и на выходе схемы должно присутствовать хотя бы по одному фазовому сигналу.

Описанный интерфейс будем называть типовым интерфейсом разомкнутой схемы (рис. 1).

Схема должна состоять из фрагментов, заранее прошедших через ФМА (СС-фрагментов). Исключения делаются для инверторов и повторителей, для которых анализ не требуется.

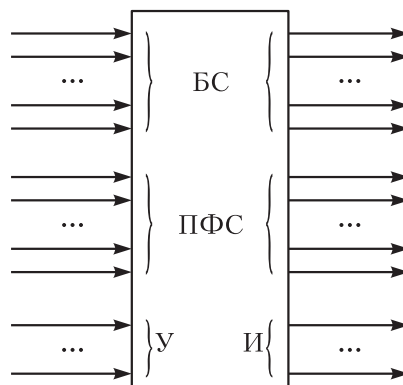


Рис. 1 Типовой интерфейс разомкнутой СС-схемы

Схема представляется в виде списка имен фрагментов и соединений между ними, как это делается в языках описания аппаратуры (типа VHDL — VHSIC (very high-speed integrated circuits) Hardware Description Language).

Отметим некоторые особенности поведения СС-схем. В соответствии с двухфазным режимом работы любой сигнал схемы в каждой из фаз может измениться не более одного раза. А каждая пара БС-сигналов, входных или выходных, может меняться только в одной из фаз. Такая фаза называется *транзитной* для пары. При этом для входных БС-сигналов транзитная фаза — это фаза, когда их изменения разрешены по условиям самосинхронности, для выходных — когда изменения могут происходить фактически.

## 2.2 Исходные данные и задачи иерархического метода анализа

Предметом анализа будет разомкнутая схема (далее именуемая *главной схемой*), имеющая типовой интерфейс и состоящая из СС-фрагментов.

В интерфейсе главной схемы должны быть указаны:

- (1) группы входных и выходных сигналов и их СС-типы согласно типовому интерфейсу;
- (2) для входных фазовых сигналов — значения спейсеров, 0 или 1.

В описаниях каждого СС-фрагмента должны присутствовать следующие атрибуты интерфейса:

- (1) группы входных и выходных сигналов и их СС-тип согласно типовому интерфейсу;
- (2) для входных и выходных фазовых сигналов — значения спейсеров.
- (3) для выходных фазовых сигналов — списки индицируемых ими входов и выходов фрагмента;
- (4) информация, связанная с дисциплиной (порядком изменений) БС- и фазовых сигналов. Эта информация нужна для определения состязаний в главной схеме и будет объяснена в п. 2.5.

Как доказано в [1, с. 118] и более подробно описано в [3], для анализа самосинхронности разомкнутой схемы необходимо и достаточно проверить ее (а) на индицируемость и (б) на отсутствие состязаний. Кроме того, как и в ФМА, должна быть получена интерфейсная информация для следующего верхнего уровня иерархии. С учетом сказанного, задачи, которые необходимо решать в ИМА, следующие:

- (1) проверка правильности соединений фрагментов;
- (2) проверка индицируемости сигналов;
- (3) проверка соблюдения дисциплины БС-сигналов;
- (4) получение параметров интерфейса главной схемы.

### 2.3 Проверка правильности соединений фрагментов

В данной задаче проверяются соединения фрагментов с точки зрения самосинхронности. И-сигналы соединяются с У-сигналами, БС — с БС-сигналами, ПФС — с ПФС-сигналами.

Необходимо проверять отсутствие разбаланса фаз на входах каждого фрагмента, т. е. следить за тем, чтобы значения фазовых сигналов, подключенных к одному фрагменту, соответствовали одной и той же фазе.

Транзитные фазы соединяемых БС-сигналов должны быть согласованы со значениями спейсеров сопровождающих их фазовых сигналов.

Также необходимо следить, чтобы в цепях БС-сигналов не оказалось никаких дополнительных элементов — инверторов, повторителей или др., — так как известно, что это приводит к нарушению самосинхронности.

### 2.4 Проверка индицируемости сигналов

На этом шаге определяется, какие внутренние и внешние сигналы главной схемы индицируются на ее фазовых выходах. Вспомогательные сигналы не учитываются. Носителями информации об индикации выступают фазовые сигналы.

Каждому фазовому сигналу сопоставляется список индицируемых им сигналов. Изначально и сам сигнал записывается в этот список.

При проверке существенно используется свойство транзитивности индицируемости [1].

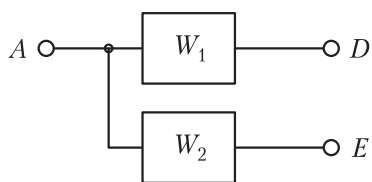
Проверка производится от входов схемы к выходам. По ходу проверки каждый фрагмент получает на свои фазовые входы списки индицирования. По полученным спискам и параметрам интерфейса (спискам индицируемых фрагментом своих входов и выходов) путем объединения формируются списки выходных фазовых сигналов фрагмента. Процесс заканчивается на фазовых выходах схемы.

Обязательным для успешной проверки является присутствие всех внутренних сигналов схемы хотя бы в одном из выходных списков индицирования. Присутствие внешних фазовых сигналов главной схемы не обязательно, так как они могут быть индицированы на верхнем уровне иерархии.

### 2.5 Проверка соблюдения дисциплины бистабильных сигналов

Данный шаг предназначен для обнаружения состязаний в главной схеме. При условии успешного прохождения предыдущих шагов анализа источником состязаний может стать несогласованность переключений БС-сигналов фрагментов и связанных с ними фазовых сигналов. Согласованная последовательность





**Рис. 2** К понятию очередности переключений

их переключений, обеспечивающая отсутствие состязаний, носит название *дисциплины*.

Предварительно введем понятие очередности изменений сигналов. При исследовании СС-схем из-за произвольности задержек вместо понятия времени имеет смысл использовать понятие очередности (рис. 2).

На рис. 2  $W_1$  и  $W_2$  — цепочки последовательных элементов, имеющие не менее одного элемента.

По теории задержки элементов хотя и произвольны, но не равны нулю. Поэтому справедливо утверждение, что изменения сигналов  $D$  и  $E$  всегда будут происходить после изменения сигнала  $A$ .

Назовем сигнал  $A$  *инициатором* для сигналов  $D$  и  $E$ , а сигналы  $D$  и  $E$  — *континуаторами* (продолжателями) сигнала  $A$ . По смыслу СС-схем континуаторами будут фазовые сигналы: одиночные или пары ПФС-сигналов.

Таким образом, изменение инициатора всегда будет предшествовать изменению любого его континуатора. Очевидно и свойство транзитивности: континуатор континуатора будет континуатором их общего инициатора.

Будем называть также *конкурентными* сигналы, очередность изменений которых по отношению друг к другу произвольна. Конкурентными могут быть как сигналы, имеющие общий инициатор, например  $D$  и  $E$ , так и сигналы с разными инициаторами (независимые).

Отметим, что индикаторные сигналы всегда являются континуаторами тех сигналов, которые они индицируют.

Рассмотрим схематично пример соединения БС-сигналов двух фрагментов на рис. 3, где показана выходная БСЯ одного фрагмента и входная другого.

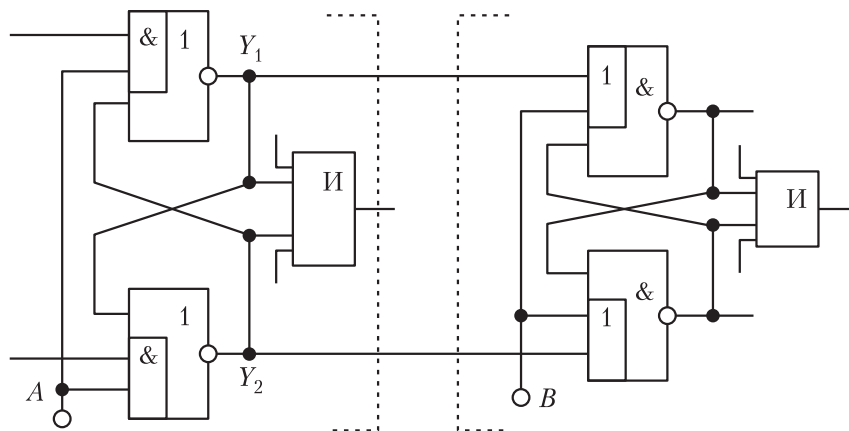
Учитывая особенности поведения СС-схем, основное правило дисциплины БС-сигналов при соединении фрагментов состоит в следующем.

В период времени, когда выходные БС-сигналы ( $Y_1, Y_2$ ) могут меняться, сигнал  $B$  должен запретить изменение входной БСЯ (заблокировать ее входы).

Рассмотрим последовательность изменений сигналов в соединении.

Выходные БС-сигналы меняются в одной из фаз — транзитной. В этой фазе сигнал  $B$  блокирует подключенные БС-входы. В следующей — нетранзитной — фазе сигнал  $B$  открывает БС-входы, и фаза заканчивается, когда переходные процессы во входной БСЯ завершились, а сигнал  $B$  еще остается в разрешающем состоянии.

Как видно, в нетранзитной фазе дисциплина соблюдается, и состязаний не возникает.



**Рис. 3** Соединение БС-сигналов СС-фрагментов:  $Y_1$  и  $Y_2$  — БС-сигналы;  $A$  — разрешающий сигнал выхода;  $B$  — разрешающий сигнал входа; И — индикаторы; пунктир — границы фрагментов

В наступающей далее транзитной фазе изменяются и сигнал  $B$ , и выходные БС-сигналы. Чтобы не возникло состязаний, должен соблюдаться порядок этих изменений, а потому предыдущее правило можно теперь сформулировать так.

В транзитной фазе сначала должен измениться сигнал  $B$ , заблокировав входы, и лишь затем могут меняться выходные БС-сигналы.

Поскольку в нетранзитной фазе отношение очередности рассматриваемых сигналов отсутствует, правило дисциплины можно распространить на обе фазы. Данное правило уже можно выразить в схемотехнических терминах, и окончательно оно формулируется так.

В соединении БС-сигналов фрагментов выходные сигналы ( $Y_1$ ,  $Y_2$ ) и блокирующий сигнал  $B$  не могут быть конкурентными. Сигнал  $B$  должен быть инициатором сигналов ( $Y_1$ ,  $Y_2$ ), а те, в свою очередь, должны быть континуаторами сигнала  $B$ .

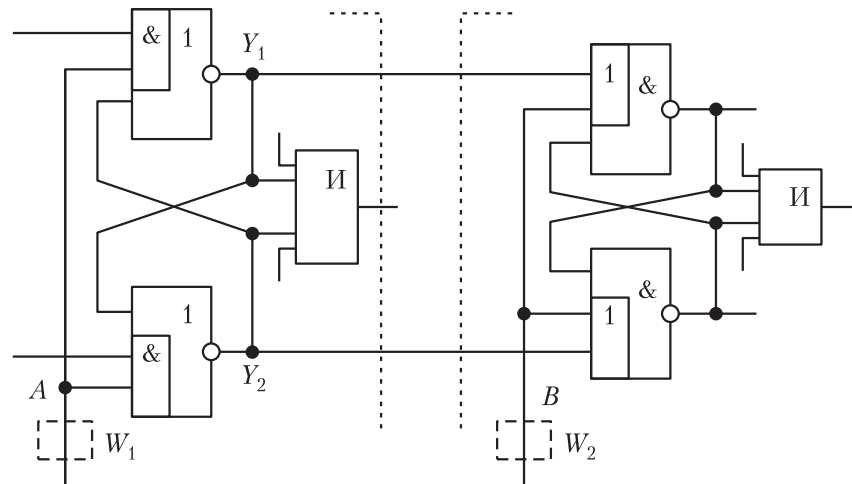
Это правило дисциплины будет основным при проверке возможных состязаний в иерархическом анализе.

Отметим также, что сигналы  $A$  и  $B$  должны быть фазовыми.

В реальных СС-схемах возможны четыре основных варианта соединений БС-сигналов и управляющих ими фазовых сигналов: три из них отличаются способом соединения разрешающих сигналов (рис. 4), четвертый приведен ниже.

Варианты соединений таковы.

1. Непосредственное соединение разрешающих сигналов  $A$  и  $B$  (цепочки  $W_1$  и  $W_2$  отсутствуют). БС-сигналы есть континуаторы сигнала  $A$ , который совпадает с  $B$ . Правило дисциплины соблюдено, и соединение корректно.



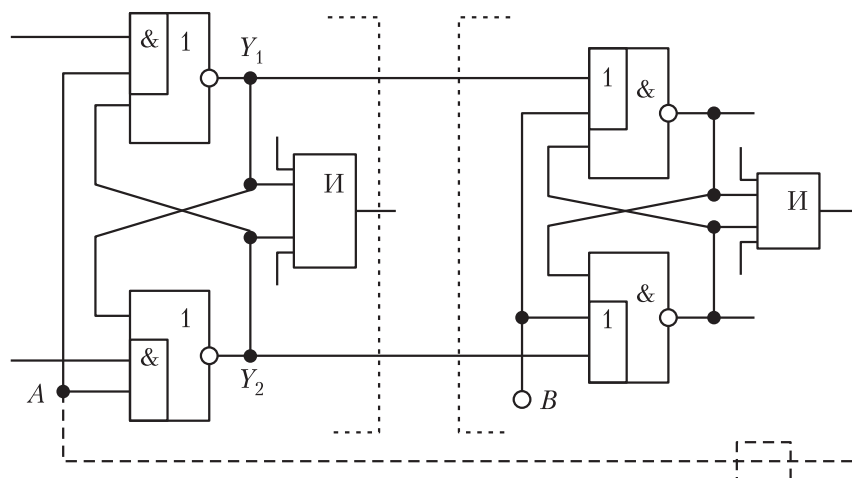
**Рис. 4** Варианты соединений разрешающих сигналов:  $W_1$  и  $W_2$  — возможные цепочки элементов

2. Вариант с задержкой сигнала  $A$ . В наличии цепочка  $W_1$  (обычно это усиливающие инверторы или повторители), а  $W_2$  отсутствует. БС-сигналы ( $Y_1$ ,  $Y_2$ ) по-прежнему остаются континуаторами сигнала  $B$ , и соединение также корректно.
3. Соединение с задержкой сигнала  $B$  — присутствует цепочка  $W_2$ . Вне зависимости от наличия цепочки  $W_1$  БС-сигналы и сигнал  $B$  являются конкурентными, и такое соединение *некорректно*.
4. На рис. 5 показан вариант с обратной связью. Обратная связь может быть локальной или глобальной (общей обратной связью всей схемы) с любой задержкой в цепи. Для корректности соединения сигнал  $B$  должен через обратную связь индицироваться на сигнале  $A$ , а сигнал  $A$ , уже локально, должен индицироваться на  $B$ . В противном случае будет нарушена дисциплина их изменений.

Если обратная связь глобальная, то такая индикация  $A$  на  $B$  будет реализована автоматически (при условии успешной проверки по п. 2.4), так как общая обратная связь по принципу самосинхронности должна индицировать все внутренние сигналы схемы. В остальных случаях требуется проверка индикации по полученным на предыдущем шаге спискам.

Например, сигнал  $B$  на рис. 5 может быть подсоединен к выходу индикатора левого фрагмента.

Кроме перечисленных основных вариантов возможны соединения с несколькими разрешающими сигналами в БСЯ. В этих случаях блокировка и разре-



**Рис. 5** Соединение БС-сигналов с использованием обратной связи

шение производится комбинациями значений разрешающих сигналов и правило дисциплины должно учитывать как комбинации, так и очередность изменений управляющих сигналов.

Из изложенного выше видно, что в атрибутах интерфейсов СС-фрагментов должна содержаться информация о входных и выходных БСЯ: какими входами фрагментов и какими значениями они блокируются и существуют ли задержки в цепях блокировки. Эта информация готовится на более низких уровнях иерархии с помощью ИМА, а на нижнем уровне — ФМА.

Проверка дисциплины БС-сигналов заключается в установлении варианта соединения, правильности блокировки соответствующими значениями фазовых сигналов и, в случае локальной обратной связи, проверке индикации разрешающих сигналов по ранее полученным спискам индикации.

## 2.6 Получение параметров интерфейса главной схемы

На этом шаге готовится информация для следующего верхнего уровня иерархии об индикации всех внешних сигналов и параметрах соединений внешних БС-сигналов схемы.

Из полученных ранее списков индикации фазовых выходов выбираются внешние сигналы, которые и составляют внешние списки индикации.

Внешние БС-сигналы в силу специфики СС-схем соединяются с БС-сигналами внутренних СС-фрагментов непосредственно, без промежуточных элементов. Поэтому параметры внешних БС-сигналов и сигналов, их блокирующих, определяются по атрибутам интерфейсов подсоединенных СС-фрагментов.

Полученная информация помещается в соответствующие атрибуты интерфейса главной схемы.

Данный шаг завершает анализ самосинхронности на текущем уровне иерархии.

### **3 Заключение**

Одной из главных трудностей проектирования СС-схем практических размеров является анализ самосинхронности. Во всех случаях требуется вычислить и проверить все рабочие состояния схемы и переходы между ними. Существующие методы требуют полного раскрытия схем, т. е. исследования уравнений всех ее элементов. При увеличении размера схемы сложность вычислений растет экспоненциально от числа входов и переменных памяти, а еще дополнительно и от числа элементов, что не позволяет анализировать схемы все увеличивающихся размеров.

Впервые представлен метод иерархического анализа СС-схем, основанный на функциональном подходе. По полным уравнениям в нем анализируются только фрагменты нижнего уровня, размер которых может быть выбран достаточно малым.

На всех уровнях иерархии выше нижнего для анализа используются не уравнения элементов, а взаимосвязи фрагментов и информация, полученная на предыдущем уровне. Сложность вычислений здесь практически линейна от числа фрагментов и сигналов.

Такой порядок позволяет наращивать снизу вверх размеры анализируемых схем и тем самым решить одну из главных проблем проектирования СС-схем, во многом тормозящую их развитие, — анализ схем неограниченных размеров.

Важность решения проблемы проектирования СС-схем любых размеров диктует необходимость ее автоматизации. Предложенный иерархический метод достаточно формализован для реализации в программных средствах. Уже разработана и функционирует программа анализа СС-схем нижнего уровня ФАЗАН [10], предоставляющая для верхнего уровня необходимую информацию. Автоматизация предложенного иерархического метода, таким образом, подготовлена и начнет осуществляться в ближайшее время.

### **Литература**

1. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 400 с.
2. Плеханов Л. П., Степченко Ю. А. Экспериментальная проверка некоторых свойств строго самосинхронных схем // Системы и средства информатики. — М.: Наука, 2006. Вып. 16. С. 476–485.

3. Плеханов Л. П. О свойстве самосинхронности цифровых электронных схем // Системы и средства информатики. — М.: ТОРУС ПРЕСС, 2011. Вып. 21. № 1. С. 84–91.
4. Muller D. E., Bartky W. C. A theory of asynchronous circuits // Symposium (International) on the Theory of Switching Proceedings. — Harvard University Press, 1959. Part 1. P. 204–243.
5. Варшавский В. И., Кишиневский М. А., Кондратьев А. Ю., Розенблюм Л. Я., Таубин А. Р. Модели для спецификации и анализа процессов в асинхронных схемах // Техническая кибернетика, 1988. № 2. С. 171–190.
6. Плеханов Л. П. Анализ самосинхронности электронных схем функциональным методом // Системы и средства информатики. — М.: Наука, 2008. Вып. 18. С. 225–233.
7. Плеханов Л. П. Проектирование самосинхронных схем: функциональный подход // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС-2010): Сб. трудов IV Всеросс. научно-технич. конф. — М.: ИППМ РАН, 2010. Вып. 1. С. 26–31.
8. Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. Concurrent hardware: The theory and practice of self-timed design. — London: John Wiley and Sons, 1993. 388 p.
9. Степченко Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченко Д. Ю. Разработка вычислителя, не зависящего от задержек элементов // Системы и средства информатики. — М.: ТОРУС ПРЕСС, 2010. Вып. 20. № 1. С. 5–23.
10. Плеханов Л. П. Программа анализа самосинхронных схем функциональным методом (ФАЗАН): Свидетельство о государственной регистрации программы для ЭВМ № 2011611102 от 01.02.2011.