

ОТКАЗОУСТОЙЧИВЫЙ САМОСИНХРОННЫЙ ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНЫЙ ПОРТ: ВАРИАНТЫ РЕАЛИЗАЦИИ

*Ю. А. Степченко*¹, *А. Н. Каменских*², *С. Ф. Тюрин*³, *Ю. Г. Дьяченко*⁴

Аннотация: Создание элементов и устройств, сочетающих в себе как надежность (отказоустойчивость), так и энергоэффективность, является одним из важнейших направлений развития вычислительной техники. Применение самосинхронных (СС) схем обусловлено их уникальными свойствами — широким диапазоном работоспособности, самопроверяемостью относительно константных консервативных неисправностей (ККН), снижением энергопотребления. Наличие встроенных элементов рабочего контроля в СС-схемах сделало наиболее перспективными и активно развивающимися методы обеспечения активной отказоустойчивости. Однако для некоторых областей применения необходимо обеспечение пассивной отказоустойчивости. Рассматриваются ключевые отличия в методах обеспечения отказоустойчивости, предлагаются технические решения, реализующие наиболее эффективные методы, и проводится расчет их показателей надежности, а также сравнение с применением комплексных показателей эффективности.

Ключевые слова: самосинхронные схемы; надежность; отказоустойчивость; отказобезопасность

DOI: 10.14357/08696527160303

1 Введение

Самосинхронные схемы — общее название для целого ряда классов цифровых схем, включающих независимые от скорости (speed-independent), нечувствительные к задержкам элементов и линий связи (delay-insensitive), квазинечувствительные к задержкам элементов и линий связи (quasi-delay insensitive). Каждый класс может существенно отличаться от другого по затратам оборудования, энергопотреблению, производительности и другим характеристикам. В большинстве работ, посвященных СС-схемам, отмечается снижение энергопотребления за

¹Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, ia_ste@mail.ru

²Пермский национальный исследовательский политехнический университет, kamenskikh.anton@gmail.com

³Пермский национальный исследовательский политехнический университет, tyurinsergfeoyandex.ru

⁴Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, uradia@mail.ru

счет отказа от синхронности (генератора синхроимпульсов и клокового дерева) и работы на пониженных напряжениях питания [1–4]; кроме того, индикатор, фиксирующий окончание переходных процессов в элементе, является одновременно и средством рабочего контроля, что позволяет выявить ряд неисправностей: как правило, речь идет о ККН. Актуальность создания энергоэффективных отечественных отказоустойчивых систем управления и вычислительной техники не нуждается в сложных доказательствах и достаточно очевидна, что подчеркивается перечнем критических технологий РФ от 2016 г. [5]. Применение для решения этой задачи СС-схем обусловлено их вышеописанными свойствами. Наличие самопроверяемости направило развитие научно-методического аппарата синтеза СС-схем в русло применения методов активной отказоустойчивости, однако для ряда критических областей применения цифровой электроники, таких как военная техника, медицина и аэрокосмическая техника, требуется применение методов пассивной отказоустойчивости, отличающихся тем, что повышение надежности достигается без задержек на ремонт или реконфигурацию. Проблемы применения методов пассивной отказоустойчивости в СС-схемотехнике исследованы в [6, 7]. В этой статье предлагаются варианты реализации отказоустойчивого последовательно-параллельного порта (ПП-порта) СС-микроядра (СС-МЯ), проводится их сравнение, даются рекомендации по проектированию отказоустойчивых СС-схем.

2 Самосинхронный последовательно-параллельный порт с активной отказоустойчивостью

Диагностические свойства СС-схем основываются на применении индикаторов, по сигналу которых можно определить окончание всех переходных процессов в схеме, в наиболее общем случае таким индикатором является С-элемент Маллера. Рассмотрим комбинационную СС-схему, полученную с помощью использования парафазного кодирования со спейсером (рис. 1).

Индикатор позволяет определить, в каком из двух состояний — рабочем (W) или спейсерном (S) — находится схема. Переключение индикатора означает смену выходного набора ($S \rightarrow W$, $W \rightarrow S$), переходы $W \rightarrow W$ или $S \rightarrow S$ запрещены. Таким образом, сигнал индикатора позволяет говорить об отсутствии определенного типа неисправностей, подробнее диагностические свойства рассмотрены в [8–10].

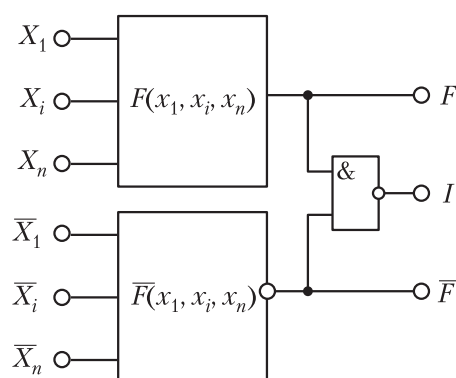


Рис. 1 Парафазные каналы данных с индикатором

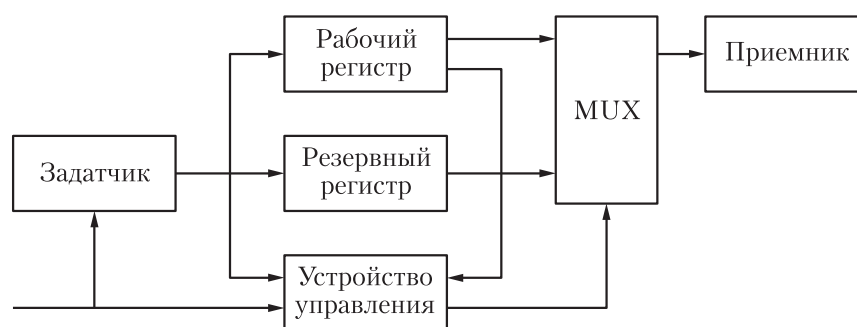


Рис. 2 Скользящее резервирование ПП-порта с прямым замещением

При нулевом типе спейсера неисправности типа константа единицы могут быть обнаружены при переходе $W \rightarrow S$, а неисправности типа константа нуля — $S \rightarrow W$. С помощью средств рабочего контроля СС-схем можно диагностировать только ККН выходов. Термин ККН определен в [8, с. 313]: под ККН понимается такая неисправность, которая не оказывает влияния на работу устройства в момент своего возникновения, в отличие от мутантных неисправностей, которые могут привести к непредсказуемым переключениям в схеме.

Резюмируя вышесказанное: любой метод, использующий диагностические свойства СС-схем, обеспечивает достоверное функционирование только в заданной модели ККН, вне рамок модели ККН СС-схемы не являются отказобезопасными.

Рассмотрим методы обеспечения отказоустойчивости, основанные на диагностических свойствах СС-схем. Скользящее резервирование с прямым замещением позволяет по сигналу триггера неисправности заменить неисправный блок резервным. Для ПП-порта, представляющего собой неоднородную структуру [11], заменяется весь регистр при отказе только одного из триггеров (рис. 2).

Сложность отказоустойчивого ПП-порта с замещением посредством сдвига (V1) 389 логических вентилей (ЛВ): два СС-регистра (228), мультиплексор (50), оставшиеся ЛВ — устройство управления (УУ) и цепи связи (табл. 1).

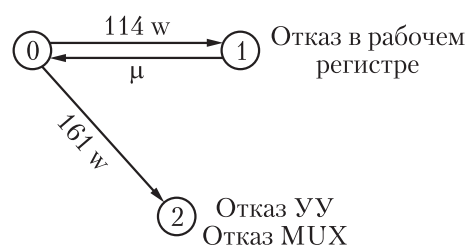
Коэффициент готовности (k) определяется как отношение времени наработки на отказ (T_o) к сумме T_o и среднего времени восстановления (T_v) с учетом вероятности безотказной работы (ВБР) дополнительного оборудования ($P_{до}$) и ВБР 2-го регистра. Время восстановления складывается из времени обнаружения, локализации и замены неисправного блока. Так как обнаружение неисправности происходит по затягиванию переходного процесса, то среднее время восстановления может быть вычислено на основе данных о быстродействии ПП-порта. За основу будет взята производительность при нормальных условиях (номинальное напряжение 5 В и температура 27 °С).

Таблица 1 Оценка сложности отказоустойчивого ПП-порта СС-МЯ

Элемент	Сложность, ЛВ	Количество	Итого
Мультиплексор	50	1	50
Триггер 1	6	2	12
Триггер 2	13	2	26
Триггер 3	12	12	144
Индикаторы регистра	23	2	46
Индикаторы мультиплексора	12	1	12
Устройство управления	99	1	99
Итого	—	—	389

Построим граф марковской цепи для расчета показателей надежности ПП-порта с активной отказоустойчивостью (рис. 3).

Для исключения неправильного срабатывания триггера неисправности период определения ошибки устанавливается в n раз больше длительности переходных процессов при нормальных условиях, в нашем случае $T_B = 4 \cdot 10^{-8}$ с. В расчетах используются следующие значения: интенсивность отказов $\lambda = 10^{-9}$ 1/ч; время $t = 10^5$ ч;

**Рис. 3** Граф марковской цепи ПП-порта с активной отказоустойчивостью

$$k = \frac{T_o}{T_o + T_B} P_{до} = 0,98.$$

Второй способ организации саморемонта — скользящее резервирование посредством сдвига — применяется для однородных структур. Регистр, предложенный в [11], не является внутренне однородной структурой; следовательно, для эффективного использования саморемонта с замещением посредством сдвига необходимо перепроектировать регистр.

Одним из способов повышения эффективности методов активной отказоустойчивости является применение комбинированного резервирования, которое позволяет повысить достоверность функционирования на определенном интервале и коэффициент готовности.

3 Самосинхронный последовательно-параллельный порт с пассивной отказоустойчивостью

Если условия эксплуатации предполагают необходимость обеспечить устойчивость к произвольным отказам/неисправностям и отсутствие времени на рекон-

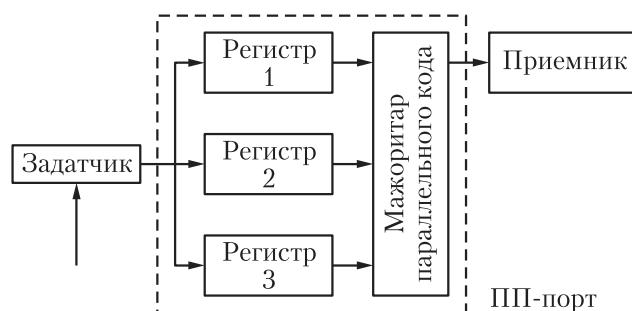


Рис. 4 Скользящее резервирование ПП-порта с прямым замещением

фигурацию и саморемонт, то предполагается использование методов обеспечения пассивной отказоустойчивости. Классическим методом обеспечения k -отказоустойчивости является мажоритарное резервирование с голосованием n -из- m , обеспечивающее $k = m - n$.

Подробно проблемы мажоритарного резервирования СС-схем исследованы в [7]. В этой статье предлагаются пассивно отказоустойчивые схемы, разработанные на основе предложенных в [12, 13] моделей и методов.

Мажоритирование СС-блоков из-за сложности дополнительного оборудования имеет оптимум на уровне 45–46 ЛВ (182 транзистора) для одного выхода. Однако на практике добиться такого разбиения блоков крайне затруднительно.

Отказоустойчивый ПП-порт с использованием мажоритирования может быть реализован двумя способами (V3-1 и V3-2): в первом случае мажоритируется весь регистр целиком (рис. 4), во втором — каждый триггер в отдельности.

Сложность варианта V3-1 составляет 414 логических вентилей. Сложность варианта V3-2 составляет 405 логических вентилей. Однако в этом случае не парируются отказы в индикаторах регистра (табл. 2).

В первом случае ВБР порта определяется по формуле:

$$P_{v31} = \left(3e^{-2 \cdot 4 \cdot 114 \lambda t} - 2e^{-3 \cdot 4 \cdot 114 \lambda t} \right) e^{-4 \cdot 72 \lambda t}.$$

Таблица 2 Оценка сложности ПП-порта с мажоритарным резервированием

Элемент	Сложность, ЛВ	Количество	Итого
Мажоритары	72 (109)	1	72 (109)
Триггер 1	6	3	18
Триггер 2	13	3	39
Триггер 3	12	18	216
Индикаторы регистра	23	3 (1)	69 (23)
Итого	—	—	414 (405)

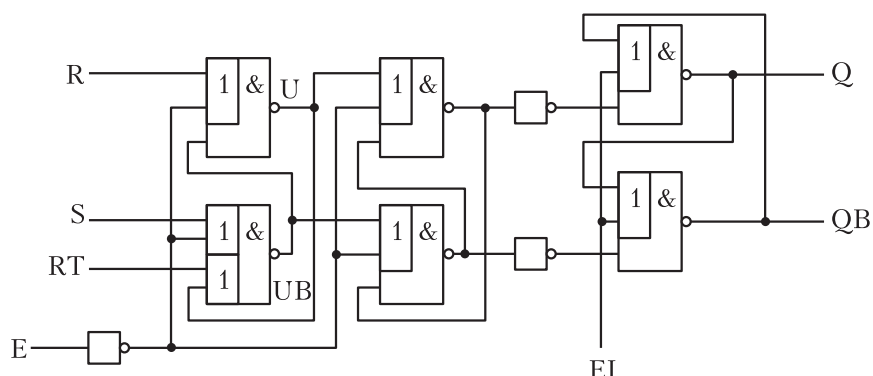


Рис. 5 Функциональная часть СС-триггера (без индикатора) с декомпозицией второй ступени для удовлетворения требованиям РТУ

Для второго случая применяется формула:

$$P_{v31} = \left(3e^{-2 \cdot 4 \cdot 13\lambda t} - 2e^{-3 \cdot 4 \cdot 13\lambda t} \right) \left(3e^{-2 \cdot 4 \cdot 12\lambda t} - 2e^{-3 \cdot 4 \cdot 12\lambda t} \right)^6 \times \\ \times \left(3e^{-2 \cdot 4 \cdot 6\lambda t} - 2e^{-3 \cdot 4 \cdot 6\lambda t} \right) e^{-4 \cdot 109\lambda t} e^{-4 \cdot 23\lambda t} .$$

Другой вариант реализации пассивно отказоустойчивых схем — это использование элементов, устойчивых к отказам (элементов с избыточным базисом). Однако из-за проектных ограничений в чистом виде этот вариант не реализуем [14].

В отказоустойчивом ПП-порте с использованием методики комбинированного резервирования на основе формальной системы вывода применяются специально разработанные отказоустойчивые элементы либо отказоустойчивые элементы с дублированием связей, которые обеспечивают устойчивость к произвольным однократным отказам транзисторов (резервирование на транзисторном уровне — РТУ) (рис. 5).

Сложность порта в этом случае равна сложности отказоустойчивого СС-регистра. Всего 532 ЛВ, из которых 436 — это отказоустойчивые СС-триггеры, 96 — схема индикации на основе отказоустойчивых элементов (табл. 3).

Надежность элемента с избыточным базисом определяется надежностью используемой отказоустойчивой структуры, в случае технологии 4Т (парирование однократных неисправностей) по формуле:

$$P(t) = \left[e^{-4\lambda t} + 4e^{-3\lambda t} \left(1 - e^{-\lambda t} \right) \right]^n .$$

Таблица 3 Оценка сложности ПП-порта с комбинированным резервированием

Элемент	Сложность, ЛВ	Количество	Итого
Триггер 1	54	1	54
Триггер 2	22	1	22
Триггер 3	60	6	360
Индикаторы регистра	48	2	96
Итого	—	—	532

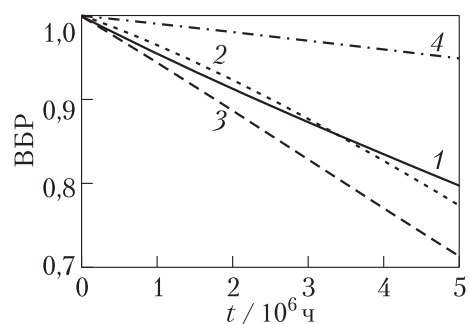


Рис. 6 Сравнение ВБР отказоустойчивых регистров с пассивной отказоустойчивостью: 1 — неотказоустойчивый ПП-порт; 2 — ПП-порт при мажоритировании триггеров; 3 — ПП-порт при мажоритировании регистров; 4 — ПП-порт на основе комбинированного резервирования

В случае комбинированного резервирования надежность определяется произведением ВБР отказоустойчивых элементов и ВБР неотказоустойчивых, мажоритированных, элементов:

$$P(t) = \left[e^{-4\lambda t} + 4e^{-3\lambda t} (1 - e^{-\lambda t}) \right]^{436} \left[e^{-4 \cdot 16\lambda t} + 3e^{-4 \cdot 12\lambda t} (1 - e^{-4 \cdot 4\lambda t}) \right]^6.$$

На рис. 6 представлено сравнение ВБР вариантов реализации ПП-порта с применением методов обеспечения пассивной отказоустойчивости, которое показывает, что наибольший прирост ВБР обеспечивает применение комбинированного резервирования.

Таким образом, реализация комбинированного резервирования требует в $\sim 1,3$ раза больше оборудования, но обеспечивает лучшую ВБР.

4 Заключение

Предложены реализации отказоустойчивого ПП-порта с разными способами резервирования, проведен анализ и оценка эффективности предложенных

решений. В случаях, допускающих остановку устройства для ремонта/реконфигурации, рекомендуется использовать методы обеспечения активной отказоустойчивости, так как они обеспечивают прирост надежности ценой меньших аппаратных затрат, однако необходимо учитывать, что они работают только в рамках адекватности модели ККН.

Улучшение комплексного показателя «энергозатраты–надежность» является одним из вызовов современной вычислительной техники [15]. Как результаты моделирования [16], так и тестовые испытания некоторых СС-устройств показывают значительное снижение энергопотребления относительно синхронных аналогов. Эффективное использование свойств СС-схем для повышения их надежности позволит значительно улучшить показатель «энергозатраты–надежность», что сделает применение отказоустойчивых СС-схем перспективным. Однако для достижения этой цели требуется совершенствование методов повышения надежности СС-схем.

Одним из таких подходов является использование гибкого логического тайм-аута (без жесткой аппаратной реализации), который позволит использовать методы обеспечения активной отказоустойчивости для устройств, не допускающих их остановку для ремонта/реконфигурации. Возможность использования такого подхода станет предметом исследования авторов настоящей статьи.

Литература

1. *Muller D. E., Bartky W. S.* A theory of asynchronous circuits // Symposium (International) on the Theory of Switching Proceedings. — Harvard University Press, 1959. Part 1. P. 204–243.
2. *Kuang W., Yuan J. S.* Low power operation using self-timed circuits and ultra-low supply voltage // 14th Conference (International) on Microelectronics Proceedings. — IEEE, 2002. P. 185–188.
3. *Степченко Ю. А., Дьяченко Ю. Г., Петрухин В. С., Плеханов Л. П.* Самосинхронные схемы — ключ к построению эффективной и надежной аппаратуры долговременного действия // Научные технологии, 2007. Т. 8. № 5-6. С. 73–89.
4. *Yakovlev A.* Energy-modulated computing // Design Automation & Test in Europe Conference & Exhibition Proceedings. IEEE, 2011. P. 1–6. https://www.researchgate.net/publication/224235958.Energy-modulated_computing.
5. Об утверждении приоритетных направлений развития науки, технологий и техники в Российской Федерации и перечня критических технологий Российской Федерации. Указ Президента Российской Федерации № 899 от 7.07.2011. <http://www.kremlin.ru/supplement/988>.
6. *Kamenskih A. N., Tyurin S. F.* Application of redundant basis elements to increase self-timed circuits reliability // Electrical and Electronic Engineering Conference (ElConRusNW): Proceedings of the 2014 IEEE NW Russia Young Researchers. — IEEE, 2014. P. 47–50.

7. Каменских А. Н., Степченков Ю. А., Тюрин С. Ф. Проблемы анализа полумодулярности и энергонадежности отказоустойчивых самосинхронных схем // Электротехника, 2015. № 11. С. 27–32.
8. Варшавский В. И., Кишиневский М. А., Мараховский В. Б. и др. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 398 с.
9. Варшавский В. И., Володарский В. Я., Мараховский В. Б. и др. Аппаратная и структурная организация средств контроля и восстановления в самосинхронном кольцевом канале // Автоматика и вычисл. техника, 1989. JS1. С. 61–68.
10. Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В. и др. Самосинхронный вычислитель для высоконадежных применений // Проблемы разработки перспективных микро- и нанoeлектронных систем-2010: Сб. тр. / Под общ. ред. акад. А. Л. Стемпковского. — М.: ИППМ РАН, 2010. С. 418–423.
11. Степченков Ю. А., Петрухин В. С., Дьяченко Ю. Г. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника, 2006. № 5. С. 29–36.
12. Kamenskih A. N. The synthesis technique of fault-tolerant self-timed circuits // Electrical and Electronic Engineering Conference (ElConRusNW): Proceedings of the 2016 IEEE NW Russia Young Researchers. — IEEE, 2016. P. 572–575.
13. Тюрин С. Ф., Каменских А. Н. Формальная система вывода резервированных КМДП-структур отказоустойчивых самосинхронных схем // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления, 2016. № 2(18). С. 120–135.
14. Степченков Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гринфельд Ф. И., Филимоненко О. П., Морозов Н. В., Степченков Д. Ю. Библиотека элементов для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507 и 5508/5509. — М.: ИПИ РАН, 2013. 319 с.
15. Mehta N. An ultra-low-energy, variation-tolerant FPGA architecture using component-specific mapping. — California Institute of Technology, 2012. PhD Thesis. 122 p.
16. Каменских А. Н. Моделирование влияния резервирования на энергопотребление самосинхронных схем // Вестник Пермского университета. Математика. Механика. Информатика, 2015. № 4(31). С. 91–94.

Поступила в редакцию 15.08.16

FAULT-TOLERANT SELF-TIMED SERIAL-PARALLEL PORT: VARIANTS OF REALIZATION

Y. A. Stepchenkov¹, A. N. Kamenskih², S. F. Tyurin², and Y. G. Diachenko¹

¹Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilova Str., Moscow 119333, Russian Federation

²Faculty of Electrical Engineering, Department of Automation and Telemechanics, Perm National Research Polytechnic University, 29 Komsomol Prosp., Perm 614990, Russian Federation

Abstract: The design of digital devices with both reliability and energy-efficiency is one of the important directions of information technologies development. The self-timed circuits have unique properties — width operation range, self-testing for stuck-at faults and energy-consumption decrease. The ability of self-test makes self-repair techniques better and more perspective for self-timed circuits. However, the fault-tolerance is necessary for some fields of application. The key difference between different techniques of reliability improvement is researched in this paper by the example of proposed technical solutions that realize most efficient designing methods. The usage of complex indices provides comparison of designs.

Keywords: self-timed; reliability; fault-tolerance; failsafe feature

DOI: 10.14357/08696527160303

References

1. Muller, D. E., and W. S. Bartky. 1959. A theory of asynchronous circuits. *Symposium (International) on the Theory of Switching Proceedings*. Harvard University Press. 1:204–243.
2. Kuang, W., and J. S. Yuan. 2002. Low power operation using self-timed circuits and ultra-low supply voltage. *14th Conference (International) on Microelectronics Proceedings*. IEEE. 185–188.
3. Stepchenkov, Yu. A., Yu. G. Djachenko, V. S. Petrukhin, and L. P. Plekhanov. 2007. Samosinkhronnye skhemy — klyuch k postroeniyu effektivnoy i nadezhnoy apparatury dolgovremennogo deystviya [Self-timed circuits are a key for developing an effective and reliable equipment with a permanent operation]. *Naukoemkie Tekhnologii* 8(5-6):73–89.
4. Yakovlev, A. 2011. Energy-modulated computing. *Design, Automation & Test in Europe Conference & Exhibition Proceedings*. IEEE. 1–6. Available at: https://www.researchgate.net/publication/224235958_Energy-modulated_computing (accessed August 29, 2016).
5. Ukaz Prezidenta Rossiyskoy Federatsii “Ob utverzhdenii prioritetnykh napravleniy razvitiya nauki, tekhnologii i tekhniki v Rossiyskoy Federatsii i perechnya kriticheskikh tekhnologii Rossiyskoy Federatsii” No. 899 ot 07.07.2011. Prilozhenie. [On approval

- of priority directions of development of science, technologies and technics in Russian Federation and list of critical technologies of the Russian Federation: The decree of the President of the Russian Federation No. 899 dated 07.07.2011. Supplement]. Available at: <http://www.kremlin.ru/supplement/988> (accessed August 29, 2016).
6. Kamenskikh, A. N., and S. F. Tyurin. 2014. Application of redundant basis elements to increase self-timed circuits reliability. *2014 IEEE NW Russia Young Researchers. Electrical and Electronic Engineering Conference (EIConRusNW) Proceedings*. IEEE. 47–50.
 7. Kamenskikh, A. N., Yu. A. Stepchenkov, and S. F. Tyurin. 2015. Problems of analysis of semimodularity and energy-reliability of resilient self-timed circuits. *Russ. Electrical Engineering* 86(11):646–650.
 8. Varshavskiy, V. I., M. A. Kishinevskiy, V. B. Marakhovskiy, et al. 1986. *Avtomatnoe upravlenie asinkhronnymi protsessami v EVM i diskretnykh sistemakh* [Automata control of asynchronous processes in computers and discrete systems]. Ed. V. I. Varshavskiy. Moscow: Nauka. 398 p.
 9. Varshavskiy, V. I., V. Ya. Volodarskiy, V. B. Marakhovskiy, et al. 1989. Apparatsnaya i strukturnaya organizatsiya sredstv kontrolya i vosstanovleniya v samosinkhronnom kol'tsevom kanale [Hardware and structural organization of control and repair equipment in self-timed ring channel]. *Avtomatika i Vychisl. Tekhnika* [Automatic Control and Computer Sciences]. JS1:61–68.
 10. Stepchenkov, Yu. A., Yu. G. Djachenko, Yu. V. Rozhdestvenskiy, et al. 2010. Samosinkhronnyy vychislitel' dlya vysokonadezhnykh primeneniy [Self-timed calculator for high reliable applications]. *Vserossiyskaya nauchno-tekhnich. konf. "Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)." Sbornik trudov* [All-Russia Science & Technology Conference "Problems of Advanced Micro- and Nanoelectronic Systems Development" Proceedings]. Institute for Design Problems in Microelectronics of the Russian Academy of Sciences. 418–423.
 11. Stepchenkov, Yu. A., V. S. Petrukhin, and Yu. G. Diachenko. 2006. Opyt razrabotki samosinkhronnogo yadra mikrokontrollera na bazovom matrichnom kristalle [Development experience of self-timed RISC-processor using uncommitted Logic Array]. *Nano- i Mikrosistemnaya Tekhnika* 5:29–36.
 12. Kamenskikh, A. N. 2016. The synthesis technique of fault-tolerant self-timed circuits. *2016 IEEE NW Russia Young Researchers. Electrical and Electronic Engineering Conference (EIConRusNW) Proceedings*. IEEE. 572–575.
 13. Tyurin, S. F., and A. N. Kamenskikh. 2016. Formal'naya sistema vyvoda rezervirovannykh KMDP-struktur otkazoustoychivyykh samosinkhronnykh skhem [Formal logic system for redundant CMOS structures of fault-tolerant self-timed circuits]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniya* [Perm National Research Polytechnic University Bulletin. Electrotechnics, Informational Technologies, Control Systems] 2(18):120–135.
 14. Stepchenkov, Yu. A., A. N. Denisov, Yu. G. Djachenko, F. I. Grinfield, O. P. Filimonenko, N. N. Morozov, and D. Yu. Stepchenkov. 2013. *Biblioteka elementov dlya proektirovaniya samosinkhronnykh poluzakaznykh BMK mikroskhem seriy 5503/5507 i 5508/5509* [Gates library for designing of self-timed ASIC circuits using series of uncommitted BMK Logic Array 5503/5507 and 5508/5509]. Moscow: IPI RAN. 391 p.

15. Mehta, N. 2012. An ultra-low-energy, variation-tolerant FPGA architecture using component-specific mapping. California Institute of Technology. PhD Thesis. 122 p.
16. Kamenskikh, A.N. 2015. Modelirovanie vliyaniya rezervirovaniya na energopotreblenie samosinkhronnykh skhem [The simulation of influence of redundancy on energy-consumption of self-timed circuits]. *Vestnik Permskogo Universiteta. Matematika, Mekhanika, Informatika ser.* [Perm University Bulletin. Mathematics, mechanics, informatics ser.] 31(4):91–94.

Received August 15, 2016

Contributors

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, Head of Department, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; YStepchenkov@ipiran.ru

Kamenskih Anton N. (b. 1991) — PhD student, assistant of the Faculty of Electrical Engineering, Department of Automation and Remote Control, Perm National Research Polytechnic University, 29 Komsomol Prosp., Perm 614990, Russian Federation; kamenskikh.anton@gmail.com

Tyurin Sergey F. (b. 1953) — Doctor of Science in technology, professor, professor of the Faculty of Electrical Engineering, Department of Automation and Telemechanics, 29 Komsomol Prosp., Perm 614990, Russian Federation; tyurinsergfeo@yandex.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation, Moscow 119333, Russian Federation; uradia@mail.ru