

# Описание базовых ячеек специального назначения и цифроаналоговых ячеек

---

---

<b>1</b>	Система обозначений и состав библиотеки 5503.....	1
----------	---	---

---

	Описание базовых логических функциональных ячеек.....	2
--	---	---

---

	Описание базовых функциональных ячеек специального назначения.....	3
--	--	---

---

## Раздел 1. Система обозначений и состав библиотеки 5503

Особенности библиотеки 5503 .....	1-2
Структура библиотеки .....	1-2
Система обозначений .....	1-2
Учет специфики БМК .....	1-3
Электрические параметры .....	1-4
Электрические параметры серии 5503 .....	1-4
Электрические параметры серии 5507 .....	1-5
Основные группы функциональных ячеек .....	1-6
Инверторы .....	1-7
Буферы .....	1-7
Логические функциональные ячейки .....	1-8
Триггеры RS-типа .....	1-11
Триггеры D-типа с разрешением записи по уровню .....	1-12
Триггеры с записью по фронту .....	1-13
Триггеры сканирования для организации тестирования .....	1-18
Триггеры Шмитта .....	1-19
Периферийные ячейки входа .....	1-20
Периферийные ячейки выхода .....	1-21
Периферийные ячейки входа/выхода .....	1-22
Драйверы периферийных ячеек .....	1-23
Компараторы цифровые .....	1-24
Мультиплексоры .....	1-26
Демультимплексоры .....	1-28
Дешифраторы .....	1-29
Шифраторы .....	1-30
Сумматоры .....	1-31
Счетчики .....	1-32
Регистры данных .....	1-36
Регистры сдвига .....	1-37
Компараторы аналого-цифровые .....	1-39
Операционные усилители .....	1-40
Ключи аналоговые .....	1-40
Ячейки доопределения .....	1-40
Специальные функциональные ячейки .....	1-41

## Особенности библиотеки 5503

Библиотека функциональных ячеек является основой для реализации схемотехнических решений конкретных БИС и во многом определяет качество проектирования. Для обеспечения бездефектного проектирования библиотека должна удовлетворять следующим требованиям:

- 1) включать в свой состав все основные группы функциональных ячеек;
- 2) иметь удобную для пользователя систему обозначений;
- 3) учитывать специфические особенности БМК.

### Структура библиотеки

Чем шире спектр функций, реализуемых функциональными ячейками, тем качественнее и быстрее может быть проведена разработка микросхемы. Поэтому желательно, чтобы библиотека имела возможности оперативного расширения разработчиком БИС. С другой стороны, настройка САПР на новые функциональные ячейки – сложный и трудоемкий процесс, который выполняется разработчиками САПР и БМК. Данное противоречие в библиотеке 5503 решено ее разбиением на две структурные части:

- базовые функциональные ячейки, имеющие фиксированные топологии;
- макроячейки, реализованные на базовых функциональных ячейках.

Благодаря этому состав макроячеек может расширяться, совершенствоваться и изменяться без изменения настроек САПР. Состав же базовых ячеек зафиксирован. Базовые функциональные ячейки в процессе их разработки тщательно исследуются и аттестуются, после чего вводятся в состав библиотеки.

### Система обозначений

Система обозначений библиотечных функциональных ячеек в первую очередь определяет удобство пользования библиотекой и эффективность труда разработчика. Можно выделить три основных типа построения системы обозначений:

- 1) по формальному принципу;
- 2) с учетом конструктивных особенностей ячеек;
- 3) по функциональному принципу.

При построении системы обозначений *по формальному принципу* имена библиотечных ячеек состоят из обозначения типа функциональной ячейки и ее порядкового номера. Формальная система обозначений не отражает ни конструктивных особенностей, ни выполняемых ячейками функций и поэтому не является удобной для пользователя.

В системе обозначений, построенной *по конструктивному принципу*, имена функциональных ячеек включают в себя обозначение типа топологической ячейки, с которой начинается топологическая реализация функциональной ячейки, количество использованных топологических ячеек, обозначение типа ячейки, которой заканчивается топология, и порядковый номер функциональной ячейки с указанным топологическим размером. В данной системе обозначений в имени библиотечной ячейки кодируется ее размер и порядковый номер. Такая система обозначения облегчает разработку топологии, но совсем не удобна при проектировании электрической схемы, т.к. имя функциональной ячейки не отражает выполняемой ею функции.

Наиболее удобной является система обозначений, построенная *по функциональному принципу*, которая и принята в библиотеке 5503. Обозначение ячейки

включает в себя выполняемую функцию, состав и значение активного уровня сигналов, приоритетность входных сигналов, а также схемотехнические особенности реализации ячейки.

### *Учет специфики БМК*

Библиотека функциональных ячеек 5503 имеет особенности, учитывающие специфику конструкции БМК серий 5503 и 5507. В первую очередь – это использование в качестве слоя разводки шин поликремния, а также конструкция базовой ячейки поля БМК и каналов трассировки. Эти особенности определяют требования, которым должны удовлетворять библиотечные функциональные ячейки.

Применение поликремния, имеющего значительное удельное сопротивление, в качестве разводочного слоя обуславливает существенное различие в задержках распространения сигнала по поликремнию и металлу. Особенно это сказывается в триггерах с раздельным парафазным тактированием. В таких триггерах за счет разбаланса топологических задержек в цепях синхронизации может возникать нарушение синхронности парафазных сигналов, что вызывает ошибки функционирования триггера. Избежать этого можно корректной реализацией цепей синхронизации в рамках библиотечной функциональной ячейки. Поэтому в библиотеке 5503 все триггеры с записью по уровню и по фронту имеют один вход сигнала синхронизации.

Базовая ячейка поля БМК серий 5503 и 5507 представляет собой две пары комплиментарных транзисторов с объединенными затворами. Конструкция БМК позволяет создавать функциональные ячейки различного уровня сложности, в том числе имеется возможность объединения в рамках одной библиотечной функциональной ячейки нескольких независимых логических функций. Существенным недостатком таких ячеек является следующее: при разработке электрической схемы логические функции подобных ячеек могут использоваться в несвязанных частях схемы, которые для эффективного использования трассировочных ресурсов целесообразно располагать в разных местах поля БМК. Поэтому в библиотеке 5503 реализован принцип – в одной библиотечной ячейке одна логическая функция.

На качество топологии микросхемы также влияет применение многовыходных функциональных ячеек. Они вызывают локальные перегрузки в топологии БИС. Например, чтобы выполнить разводку четырехвыходной логической ячейки, к ней должны подойти четыре входные и одна выходная трасса. Это локально перегружает каналы трассировки и значительно осложняет разработку топологии. Такие функциональные ячейки, как правило, могут быть реализованы в виде составных ячеек. Например, функциональная ячейка 4И реализуется на двух ячейках 2И-НЕ и ячейке 2ИЛИ-НЕ. При этом топологический размер составной функциональной ячейки равен топологическому размеру функциональной ячейки 4И, а локальной перегрузки топологии можно избежать благодаря возможности свободного размещения входящих в ее состав ячеек 2И-НЕ и 2ИЛИ-НЕ.

В библиотеке 5503 реализованы группы функциональных ячеек, выполняющие логические функции от двух и трех переменных, в полном объеме с учетом инверсии всех входов. Логические функциональные ячейки от четырех и более переменных реализованы как макроячейки, что позволяет при разработке топологии в каждом конкретном случае оптимально размещать на поле БМК библиотечные ячейки, входящие в их состав, и не допускать возникновения локальных перегрузок в каналах трассировки.

Следует также отметить, что в состав библиотеки входят триггеры, ориентированные как на асинхронные, так и на синхронные методы проектирования.

### Электрические параметры

Электрические параметры микросхем в основном определяются характеристиками периферийных ячеек. При поставке изготовитель гарантирует соответствие электрических параметров микросхем значениям, указанным в Технических условиях на микросхемы и подтвержденным квалификационными испытаниями.

Различают номинальные значения электрических параметров микросхем, предельнодопустимые и предельные режимы эксплуатации микросхем. Номинальные значения электрических параметров контролируются при изготовлении и поставке микросхем, гарантируются в процессе их эксплуатации в режимах и условиях, допускаемых Техническими условиями.

Значения электрических параметров микросхем на БМК серий 5503 и 5507 приведены в таблицах 1–4.

#### Электрические параметры серии 5503

Номинальное значение напряжения питания  $U_{CC} = 5 \text{ В} \pm 10\%$ .

**Таблица 1.** Номинальные значения электрических параметров серии 5503

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура, °С
		не менее	не более	
Выходное напряжение низкого уровня, В при $I_{OL} = 4,0 \text{ мА}$	$U_{OL}$		0,4	+25±10
Выходное напряжение низкого уровня, В при $I_{OL} = 30 \text{ мкА}$			0,1	минус 60 +85
Выходное напряжение высокого уровня, В при $I_{OH} = 2,0 \text{ мА}$	$U_{OH}$	4,0		+25±10
Выходное напряжение высокого уровня, В при $I_{OH} = 30 \text{ мкА}$		4,4		минус 60 +85
Ток потребления, мА	$I_{CC}$		0,15	+25±10
			0,4	минус 60 +85
Токи утечки низкого и высокого уровней на входе, мкА	$I_{LIL},$ $I_{LIH}$		0,3	+25±10
			3,0	минус 60 +85
Выходной ток низкого и высокого уровней в состоянии «Выключено», мкА	$I_{OZL},$ $I_{OZH}$		0,3	+25±10
			3,0	минус 60 +85
Ток доопределения внешнего вывода до высокого уровня, мА	$I_{HIR}$	0,03	1	25±10
				минус 60 +85
Ток доопределения внешнего вывода до низкого уровня, мА	$I_{LIR}$	0,07	2	25±10
				минус 60 +85
Время задержки на вентиль, нс	$t_D$		2,0	+25±10
			3,0	минус 60 +85
Входная емкость, пФ	$C_1$		7	+25±10
Емкость входа/выхода, пФ	$C_{I/O}$		7	+25±10

Предельнодопустимые режимы эксплуатации – это внешние по отношению к микросхеме электрические параметры, в пределах значений которых допускается эксплуатация микросхемы. Превышение предельных режимов может привести к отказу микросхемы.

**Таблица 2.** Предельнодопустимые и предельные режимы эксплуатации микросхем серии 5503

Наименование параметра, обозначение параметра, единица измерения	Норма			
	предельнодопустимый режим		предельный режим	
	не менее	не более	не менее	не более
Напряжение питания, $U_{CC}$ , В	4,5	5,5	минус 0,2	7,0
Напряжение, прикладываемое к выходу закрытой микросхемы, В	0	$U_{CC}$	минус 0.4	$U_{CC} + 0,4$
Входное напряжение низкого уровня, $U_{IL}$ , В	–	0,8	минус 0,4	–
Входное напряжение высокого уровня, $U_{IH}$ , В	$U_{CC} - 1,0$	$U_{CC}$		$U_{CC} + 0,4$
Выходной ток низкого уровня, $I_{OL}$ , мА		4,0		8,0
Выходной ток высокого уровня, $I_{OH}$ , мА		2,0		8,0

### Электрические параметры серии 5507

Номинальное значение напряжения питания  $U_{CC} = 3 \text{ В} \pm 10\%$ .

**Таблица 3.** Номинальные значения электрических параметров серии 5507

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура, °С
		не менее	не более	
Выходное напряжение низкого уровня, В при $I_{OL} = 3,0 \text{ мА}$	$U_{OL}$		0,3	+25±10
Выходное напряжение низкого уровня, В при $I_{OL} = 30 \text{ мкА}$			0,1	минус 60 +85
Выходное напряжение высокого уровня, В при $I_{OH} = 1,5 \text{ мА}$	$U_{OH}$	2,4		+25±10
Выходное напряжение высокого уровня, В при $I_{OH} = 30 \text{ мкА}$		2,6		минус 60 +85
Ток потребления, мА	$I_{CC}$		0,15	+25±10
			0,4	минус 60 +85
Токи утечки низкого и высокого уровней на входе, мкА	$I_{LIL}$ , $I_{LIH}$		0,3	+25±10
			3,0	минус 60 +85
Выходной ток низкого и высокого уровней в состоянии «Выключено», мкА	$I_{OZL}$ , $I_{OZH}$		0,3	+25±10
			3,0	минус 60 +85
Ток доопределения внешнего вывода до высокого уровня, мА	$I_{HIR}$	0,03	1	25±10 минус 60 +85
Ток доопределения внешнего вывода до низкого уровня, мА	$I_{LIR}$	0,07	2	25±10 минус 60 +85

Таблица 3 (окончание)

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение	Норма		Температура, °С
		не менее	не более	
Время задержки на клапан, нс	$t_D$		3,0	+25±10
			5,0	минус 60 +85
Входная емкость, пФ	$C_1$		7	+25±10
Емкость входа/выхода, пФ	$C_{I/O}$		7	+25±10

Таблица 4. Предельнодопустимые и предельные режимы эксплуатации микросхем серии 5507

Наименование параметра, обозначение параметра, единица измерения	Норма			
	предельнодопустимый режим		предельный режим	
	не менее	не более	не менее	не более
Напряжение питания, $U_{CC}$ , В	2,7	3,3	минус 0,2	5,0
Напряжение, прикладываемое к выходу закрытой микросхемы, В	0	$U_{CC}$	минус 0,4	$U_{CC} + 0,4$
Входное напряжение низкого уровня, $U_{IL}$ , В		0,4	минус 0,4	
Входное напряжение высокого уровня, $U_{IH}$ , В	$U_{CC} - 0,4$	$U_{CC}$		$U_{CC} + 0,4$
Выходной ток низкого уровня, $I_{OL}$ , мА		3,0		6,0
Выходной ток высокого уровня, $I_{OH}$ , мА		1,5		3,0

### Основные группы функциональных ячеек

Условные обозначения функциональных ячеек библиотеки 5503 включают в себя буквенное обозначение выполняемой функции, разрядность, состав управляющих входов и номер модификации. В соответствии с этим ячейки, принадлежащие одной функциональной группе, имеют одинаковое обозначение выполняемой функции. Система обозначений распространяется как на базовые функциональные ячейки, так и на макроячейки. В состав библиотеки 5503 входят:

- инверторы;
- буферы;
- логические функциональные ячейки;
- триггеры;
- триггеры Шмитта;
- периферийные ячейки и драйверы;
- компараторы;
- мультиплексоры;
- демultipлексоры;
- дешифраторы;
- шифраторы;
- сумматоры;
- счетчики;
- регистры данных;
- регистры сдвига;

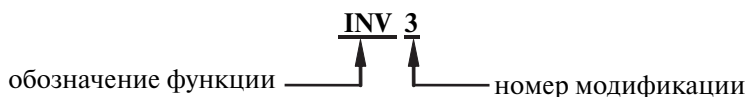
- аналого-цифровые компараторы;
- операционные усилители;
- специальные функциональные ячейки.

Для удобства поиска требуемой функциональной ячейки в данном разделе приведены описания групп базовых ячеек, в которых указаны страницы с описанием конкретных функциональных ячеек из каждой группы и имена макроячеек, входящих в группу.

### Инверторы

Инвертор – функциональная ячейка, обеспечивающая усиление цифрового сигнала с инверсией его логического уровня. В состав библиотеки входят инверторы с различным уровнем нагрузочной способности, а также инверторы, которые, помимо логических уровней «0» и «1», позволяют формировать на их выходе высокоимпедансное состояние, что обеспечивает возможность организации в микросхеме внутренних шин данных. Указанные инверторы для управления состоянием выхода имеют дополнительный вход управления.

Обозначение инвертора включает в себя обозначение функции и номер модификации.



Обозначение функции может принимать следующие значения:

**INV** – инвертор с одним инверсным выходом;

**INVE** – инвертор с тремя выходными состояниями с разрешением высоким уровнем;

**INVT** – инвертор с тремя выходными состояниями с разрешением низким уровнем.

Номер модификации соответствует количеству параллельно включенных инверторов, принимает значения 2, 3. Для одиночного инвертора номер модификации отсутствует.

Имя	Функция	Страница
<b>INV</b>	Инвертор	2-136
<b>INV2</b>	Сдвоенный инвертор	2-136
<b>INV3</b>	Строенный инвертор	2-136
<b>INVE</b>	Инвертор с тремя выходными состояниями и управлением высоким уровнем	3-43
<b>INVT</b>	Инвертор с тремя выходными состояниями и управлением низким уровнем	3-44

### Буферы

Буфер – это функциональная ячейка, обеспечивающая усиление цифрового сигнала без изменения его логического уровня. В состав библиотеки входят буферы с различным допустимым уровнем нагрузочной способности. Для расширения функциональных возможностей ряд буферов имеет парафазные выходы.

Для организации внутренних шин данных в состав библиотеки введены буферы, позволяющие формировать на их выходе высокоимпедансное состояние. Ука-



занные буферы для управления состоянием выхода имеют дополнительный вход управления.

Обозначение буфера включает в себя обозначение функции и номер модификации.



Обозначение функции может принимать следующие значения:

**BUF** — буфер с одним прямым выходом;

**BUF2** — буфер с парафазным выходом;

**BUFE** — буфер с тремя выходными состояниями с разрешением высоким уровнем;

**BUFT** — буфер с тремя выходными состояниями с разрешением низким уровнем.

Номер модификации определяет нагрузочную способность выходного сигнала буфера и соответствует количеству параллельно включенных инверторов выходного каскада, принимает значения 2, 3. Для одиночного буфера номер модификации отсутствует.

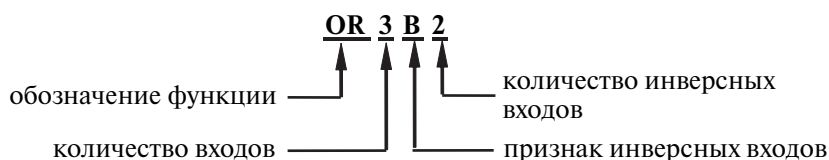
Имя	Функция	Страница
<b>BUF</b>	Буфер	2-7
<b>BUF2</b>	Буфер со сдвоенным выходным каскадом	2-7
<b>BUF3</b>	Буфер со строенным выходным каскадом	2-7
<b>BUFP</b>	Буфер с парафазным выходом	2-7
<b>BUF2P</b>	Буфер с парафазным выходом со сдвоенным выходным каскадом	2-7
<b>BUF3P</b>	Буфер с парафазным выходом со строенным выходным каскадом	2-7
<b>BUFE</b>	Буфер с тремя выходными состояниями и разрешением высоким уровнем	3-23
<b>BUFG</b>	Буфер для организации глобальной синхронизации	2-8
<b>BUFT</b>	Буфер с тремя выходными состояниями и разрешением низким уровнем	3-23

### Логические функциональные ячейки

При реализации схем требуются самые разнообразные логические ячейки. В библиотеке реализованы полные с точки зрения состава прямых и инверсных входов наборы логических функциональных ячеек от двух и трех переменных (кроме ячеек **XOR3** и **XNOR3**, реализованных в виде макроячеек). Функциональные ячейки от четырех до девяти переменных также реализованы в виде макроячеек. При этом макроячейки от четырех и пяти переменных имеют полный набор прямых и инверсных входов, ячейки от шести до девяти переменных — только прямые входы.

Библиотека содержит функциональные ячейки, выполняющие типовую логическую функцию, и составные логические ячейки.

Обозначение логической функциональной ячейки, выполняющей типовую логическую функцию, включает в себя обозначение функции, общее количество входов, признак и количество инверсных входов.



Обозначение функции может принимать следующие значения:

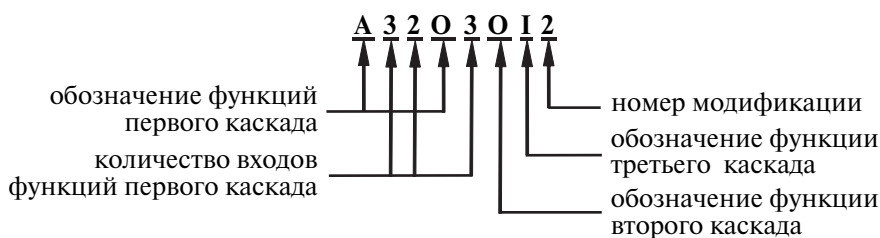
- AND** – функция И;
- MAJ** – функция мажорирования;
- NAN** – функция И-НЕ;
- NOR** – функция ИЛИ-НЕ;
- OR** – функция ИЛИ;
- XOR** – функция исключающего ИЛИ;
- XNOR** – функция исключающего ИЛИ с инверсией.

Признак наличия инверсных входов не указывается в случае отсутствия инверсных входов. Для ячеек, выполняющих функцию мажорирования, не указывается количество входов.

Имя	Функция	Страница
1	2	3
<b>AND2</b>	2-И	2-5
<b>AND2B1</b>	2-И с инверсным входом	2-5
<b>AND2B2</b>	2-И с двумя инверсными входами	2-5
<b>AND3</b>	3-И	2-6
<b>AND3B1</b>	3-И с одним инверсным входом	2-6
<b>AND3B2</b>	3-И с двумя инверсными входами	2-6
<b>AND3B3</b>	3-И с тремя инверсными входами	2-6
<b>AND4</b>	4-И	2-6
<b>MAJ</b>	3-входовая мажоритарная ячейка с прямым выходом	2-151
<b>MAJB</b>	3-входовая мажоритарная ячейка с инверсным выходом	2-152
<b>NAN2</b>	2-И-НЕ	2-155
<b>NAN2B1</b>	2-И-НЕ с одним инверсным входом	2-155
<b>NAN2B2</b>	2-И-НЕ с двумя инверсными входами	2-155
<b>NAN3</b>	3-И-НЕ	2-155
<b>NAN3B1</b>	3-И-НЕ с одним инверсным входом	2-155
<b>NAN3B2</b>	3-И-НЕ с двумя инверсными входами	2-155
<b>NAN3B3</b>	3-И-НЕ с тремя инверсными входами	2-155
<b>NOR2</b>	2-ИЛИ-НЕ	2-156
<b>NOR2B1</b>	2-ИЛИ-НЕ с одним инверсным входом	2-156
<b>NOR2B2</b>	2-ИЛИ-НЕ с двумя инверсными входами	2-156
<b>NOR3</b>	3-ИЛИ-НЕ	2-156
<b>NOR3B1</b>	3-ИЛИ-НЕ с одним инверсным входом	2-156
<b>NOR3B2</b>	3-ИЛИ-НЕ с двумя инверсными входами	2-156
<b>NOR3B3</b>	3-ИЛИ-НЕ с тремя инверсными входами	2-156
<b>OR2</b>	2-ИЛИ	2-162
<b>OR2B1</b>	2-ИЛИ с одним инверсным входом	2-162
<b>OR2B2</b>	2-ИЛИ с двумя инверсными входами	2-162

Имя	Функция	Страница
1	2	3
OR3	3-ИЛИ	2-162
OR3B1	3-ИЛИ с одним инверсным входом	2-162
OR3B2	3-ИЛИ с двумя инверсными входами	2-162
OR3B3	3-ИЛИ с тремя инверсными входами	2-162
OR4	4-ИЛИ	2-162
XOR2	Сложение по модулю 2	2-201
XNOR2	Сложение по модулю 2 с инверсией	2-200

Обозначение составной логической функциональной ячейки включает в себя обозначение функций, выполняемых ячейкой в соответствии с их последовательностью, количество входов элементов первого каскада, номер модификации данной ячейки.



Обозначение функций может принимать следующие значения:

- A – функция И;
- O – функция ИЛИ;
- I – функция инверсии.

Библиотечная функциональная ячейка может содержать два или три каскада. В начале имени функциональной ячейки указывается обозначение функции первого каскада, который может содержать несколько элементов данной функции, и количество входов каждого из этих элементов данной функции. Затем указывается обозначение функции первого каскада, содержащей только один элемент. После этого указывается обозначение функций второго и третьего каскадов. Модификацией функциональной ячейки является ячейка, выполняющая ту же функцию и имеющая то же количество входов, но содержащая инверсные входы. Номер модификации может отсутствовать.

Ниже приведен состав базовых логических ячеек библиотеки 5503, выполняющих сложную функцию. Реализуемая функция описана в виде формул, инверсные входы в конце имени обозначены буквой **B**.

Имя	Функция	Страница
1	2	3
A21O	$IO * I1 + I3$	2-1
A21O1	$IO * I1B + I3$	2-1
A21O2	$IOB * I1B + I3$	2-1
A21O3	$IO * I1 + I3B$	2-1
A21O4	$IO * I1B + I3B$	2-1
A21O5	$IOB * I1B + I3B$	2-1

Имя	Функция	Страница
1	2	3
A21OI	$(I0 \cdot I1 + I3)B$	2-2
A21OI1	$(I0 \cdot I1B + I3)B$	2-2
A21OI2	$(I0B \cdot I1B + I3)B$	2-2
A21OI3	$(I0 \cdot I1 + I3B)B$	2-2
A21OI4	$(I0 \cdot I1B + I3B)B$	2-2
A21OI5	$(I0B \cdot I1B + I3B)B$	2-2
O21A	$(I0 + I1) \cdot I3$	2-157
O21A1	$(I0 + I1)B \cdot I3$	2-157
O21A2	$(I0B + I1B) \cdot I3$	2-157
O21A3	$(I0 + I1) \cdot I3B$	2-157
O21A4	$(I0 + I1B) \cdot I3B$	2-157
O21A5	$(I0B + I1B) \cdot I3B$	2-157
O21AI	$((I0 + I1) \cdot I3)B$	2-157
O21AI1	$((I0 + I1B) \cdot I3)B$	2-157
O21AI2	$((I0B + I1B) \cdot I3)B$	2-157
O21AI3	$((I0 + I1) \cdot I3B)B$	2-157
O21AI4	$((I0 + I1B) \cdot I3B)B$	2-157
O21AI5	$((I0B + I1B) \cdot I3B)B$	2-157
A22O	$(I0 \cdot I1) + (I2 \cdot I3)$	2-2
A22OI	$((I0 \cdot I1) + (I2 \cdot I3))B$	2-3
O22A	$(I0 + I1) \cdot (I2 + I3)$	2-158
O22AI	$((I0 + I1) \cdot (I2 + I3))B$	2-158
A31O	$(I0 \cdot I1 \cdot I2) + I3$	2-3
A31OI	$((I0 \cdot I1 \cdot I2) + I3)B$	2-3
O31A	$(I0 + I1 + I2) \cdot I3$	2-158
O31AI	$((I0 + I1 + I2) \cdot I3)B$	2-158

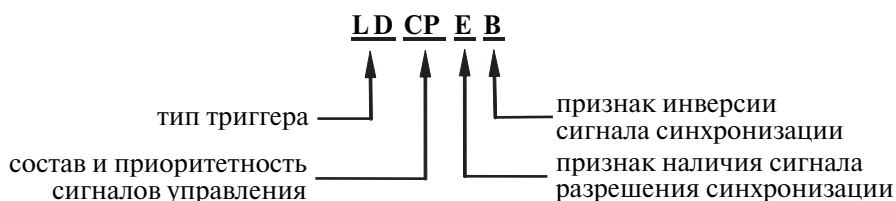
### Триггеры RS-типа

Триггер RS-типа – это функциональная ячейка памяти, имеющая два устойчивых состояния, определяемых сигналами управления.

Как известно, триггеры RS-типа при наличии активных сигналов на входах R и S имеют запрещенную комбинацию, при которой прямой и инверсный выходы триггера находятся в одном и том же логическом состоянии. Библиотека функциональных ячеек содержит модификации RS-триггера, не имеющие запрещенных комбинаций за счет реализации приоритета одного из входов. Это RSS-триггер с приоритетом сигнала S, RSR-триггер с приоритетом сигнала R и RSK-триггер с приоритетом режима хранения информации. В состав библиотеки входят также триггеры, синхронизируемые по активному уровню сигнала управления, с приоритетом сигнала R и приоритетом сигнала S. Все указанные триггеры реализованы в базе активных входных сигналов высокого и низкого уровня.

Обозначение триггера RS-типа включает в себя обозначение типа триггера, признак разрешения записи и признак инверсии входных сигналов.





В обозначении триггера указываются состав и приоритетность управляющих сигналов установки и сброса, причем первым указывается тот сигнал, который имеет более высокий приоритет. В качестве управляющих могут использоваться следующие сигналы:

**С** – асинхронный сброс (вход **CLR**);

**P** – асинхронная установка (вход **PRE**).

Признак **E** указывает на наличие сигнала разрешения записи (вход **CE**).

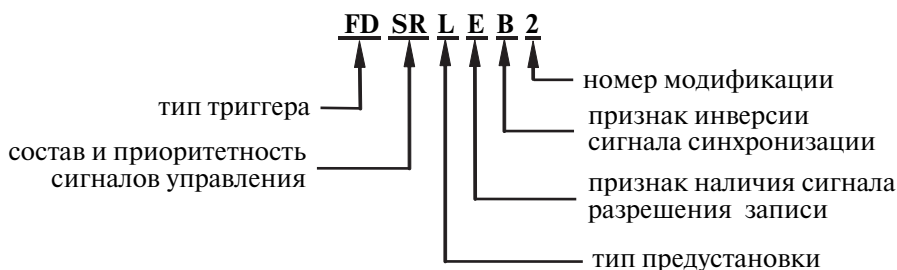
Признак **B** означает, что активным является низкий уровень сигнала синхронизации (вход **C**).

Имя	Функция	Страница
LD	триггер-защелка D-типа с синхронизацией высоким уровнем	2-140
LDB	триггер-защелка D-типа с синхронизацией низким уровнем	2-140
LDC	триггер-защелка D-типа с асинхронным сбросом с синхронизацией высоким уровнем	2-141
LDCB	триггер-защелка D-типа с асинхронным сбросом с синхронизацией низким уровнем	2-142
LDCE	триггер-защелка D-типа с асинхронным сбросом, разрешением записи с синхронизацией высоким уровнем	2-143
LDCEB	триггер-защелка D-типа с асинхронным сбросом, разрешением записи с синхронизацией низким уровнем	2-144
LDCP	триггер-защелка D-типа с асинхронными сбросом и установкой с синхронизацией высоким уровнем	2-145
LDCPB	триггер-защелка D-типа с асинхронными сбросом и установкой с синхронизацией низким уровнем	2-146
LDCPE	триггер-защелка D-типа с асинхронными сбросом и установкой, разрешением записи с синхронизацией высоким уровнем	2-147
LDCPEB	триггер-защелка D-типа с асинхронными сбросом и установкой, разрешением записи с синхронизацией низким уровнем	2-148
LDP	триггер-защелка D-типа с асинхронной установкой с синхронизацией высоким уровнем	2-149
LDPB	триггер-защелка D-типа с асинхронной установкой с синхронизацией низким уровнем	2-150

### Триггеры с записью по фронту

Триггер с записью по фронту – это функциональная ячейка памяти, имеющая два устойчивых состояния, которые изменяются при появлении активного фронта сигнала синхронизации в зависимости от состояния сигналов управления.

Обозначение триггера включает в себя обозначение типа триггера, состав и приоритетность сигналов управления, тип предустановки, признаки и номер модификации.



В библиотеке реализованы следующие типы триггеров:

- FC** – детектор фронта;
- FD** – триггер D-типа;
- FJK** – триггер JK-типа;
- FT** – счетный триггер T-типа.

В обозначении триггера указываются состав и приоритетность сигналов управления. Первым указывается тот сигнал, который имеет высший приоритет. В качестве управляющих могут использоваться следующие сигналы:

- C** – асинхронный сброс (вход **CLR**);
- P** – асинхронная установка (вход **PRE**);
- R** – синхронный сброс (вход **R**);
- S** – синхронная установка (вход **S**).

Тип предустановки может отсутствовать или принимать следующие значения:

- L** – синхронная предустановка (вход **L**);
- I** – асинхронная предустановка (вход **I**).

Признак наличия сигнала разрешения **E** указывает на наличие в триггере входа разрешения сигнала синхронизации (вход **E**), также может отсутствовать.

Признак инверсии **B** означает, что активным для триггера является задний фронт сигнала синхронизации.

Модификациями считаются триггеры, имеющие дополнительные входные сигналы, номер модификации может отсутствовать.

Имя	Функция	Страница
1	2	3
<b>FCC</b>	детектор переднего фронта с асинхронным сбросом	2-27
<b>FCC2</b>	детектор переднего фронта с двумя входами асинхронного сброса	2-28
<b>FCCB</b>	детектор заднего фронта с асинхронным сбросом	2-29
<b>FCCB2</b>	детекторы заднего фронта с двумя входами асинхронного сброса	2-30
<b>FD</b>	триггер D-типа с записью по переднему фронту	2-31
<b>FDB</b>	триггер D-типа с записью по заднему фронту	2-31
<b>FDC</b>	триггер D-типа с асинхронным сбросом с записью по переднему фронту	2-32
<b>FDCB</b>	триггер D-типа с асинхронным сбросом с записью по заднему фронту	2-33
<b>FDCE</b>	триггер D-типа с асинхронным сбросом и разрешением записи с записью по переднему фронту	2-34
<b>FDCEB</b>	триггер D-типа с асинхронным сбросом и разрешением записи с записью по заднему фронту	2-35
<b>FDCI</b>	триггер D-типа с асинхронным сбросом и асинхронной загрузкой с записью по переднему фронту	2-36
<b>FDCIB</b>	триггер D-типа с асинхронным сбросом и асинхронной загрузкой с записью по заднему фронту	2-37

Имя	Функция	Страница
1	2	3
<b>FDCL</b>	триггер D-типа с асинхронным сбросом и синхронной загрузкой с записью по переднему фронту	2-38
<b>FDCLB</b>	триггер D-типа с асинхронным сбросом и синхронной загрузкой с записью по заднему фронту	2-39
<b>FDCLE</b>	триггер D-типа с асинхронным сбросом, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-40
<b>FDCLEB</b>	триггер D-типа с асинхронным сбросом, синхронной загрузкой и разрешением записи с записью по заднему фронту	2-41
<b>FDCP</b>	триггер D-типа с записью по переднему фронту с асинхронными сбросом и установкой	2-42
<b>FDCPB</b>	триггер D-типа с асинхронными сбросом и установкой с записью по заднему фронту	2-43
<b>FDCPE</b>	триггер D-типа, с асинхронными сбросом и установкой и разрешением записи с записью по переднему фронту	2-44
<b>FDCPEB</b>	триггер D-типа с асинхронными сбросом и установкой и разрешением записи с записью по заднему фронту	2-45
<b>FDCPI</b>	триггер D-типа с асинхронными сбросом и установкой и асинхронной загрузкой с записью по переднему фронту	2-46
<b>FDCPIB</b>	триггер D-типа с асинхронными сбросом и установкой и асинхронной загрузкой с записью по заднему фронту	2-47
<b>FDCPL</b>	триггер D-типа с асинхронными сбросом и установкой и синхронной загрузкой с записью по переднему фронту	2-48
<b>FDCPLB</b>	триггер D-типа с асинхронными сбросом и установкой и синхронной загрузкой с записью по заднему фронту	2-49
<b>FDE</b>	триггер D-типа с разрешением записи с записью по переднему фронту	2-50
<b>FDEB</b>	триггер D-типа с разрешением записи с записью по заднему фронту	2-51
<b>FDL</b>	триггер D-типа с синхронной загрузкой с записью по переднему фронту	2-52
<b>FDLB</b>	триггер D-типа с синхронной загрузкой с записью по заднему фронту	2-53
<b>FDLE</b>	триггер D-типа с синхронной загрузкой и разрешением записи с записью по переднему фронту	2-54
<b>FDLEB</b>	триггер D-типа с синхронной загрузкой и разрешением записи с записью по заднему фронту	2-55
<b>FDP</b>	триггер D-типа с асинхронной установкой с записью по переднему фронту	2-56
<b>FDPB</b>	триггер D-типа с асинхронной установкой с записью по заднему фронту	2-57
<b>FDPE</b>	триггер D-типа с асинхронной установкой и разрешением записи с записью по переднему фронту	2-58
<b>FDPEB</b>	триггер D-типа с асинхронной установкой и разрешением записи с записью по заднему фронту	2-59
<b>FDPI</b>	триггер D-типа с асинхронной установкой и асинхронной загрузкой с записью по переднему фронту	2-60
<b>FDPIB</b>	триггер D-типа с асинхронной установкой и асинхронной загрузкой с записью по заднему фронту	2-61
<b>FDPL</b>	триггер D-типа с асинхронной установкой и синхронной загрузкой с записью по переднему фронту	2-62
<b>FDPLB</b>	триггер D-типа с асинхронной установкой и синхронной загрузкой с записью по заднему фронту	2-63
<b>FDPLE</b>	триггер D-типа с асинхронной установкой, синхронной загрузкой и разрешением записи с записью по переднему фронту,	2-64
<b>FDPLEB</b>	триггер D-типа с асинхронной установкой, синхронной загрузкой и разрешением записи с записью по заднему фронту	2-65



Имя	Функция	Страница
1	2	3
<b>FDR</b>	триггер D-типа с синхронным сбросом с записью по переднему фронту	2-66
<b>FDRB</b>	триггер D-типа с синхронным сбросом с записью по заднему фронту	2-67
<b>FDRE</b>	триггер D-типа синхронным сбросом и разрешением записи с записью по переднему фронту	2-68
<b>FDREB</b>	триггер D-типа с синхронным сбросом и разрешением записи с записью по заднему фронту	2-69
<b>FDRL</b>	триггер D-типа с синхронным сбросом и синхронной загрузкой с записью по переднему фронту	2-70
<b>FDRLB</b>	триггер D-типа с синхронным сбросом и синхронной загрузкой с записью по заднему фронту	2-71
<b>FDRLE</b>	триггер D-типа синхронным сбросом, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-72
<b>FDRLEB</b>	триггер D-типа с синхронным сбросом, синхронной загрузкой и разрешением записи с записью по заднему фронту	2-73
<b>FDRS</b>	триггер D-типа с синхронными сбросом и установкой с записью по переднему фронту	2-74
<b>FDRSB</b>	триггер D-типа с синхронными сбросом и установкой с записью по заднему фронту	2-75
<b>FDRSE</b>	триггер D-типа с синхронными сбросом и установкой и разрешением записи с записью по переднему фронту	2-76
<b>FDRSEB</b>	триггер D-типа с синхронными сбросом и установкой и разрешением записи с записью по заднему фронту	2-77
<b>FDRSL</b>	триггер D-типа с синхронными сбросом и установкой и синхронной загрузкой с записью по переднему фронту	2-78
<b>FDRSLB</b>	триггер D-типа с синхронными сбросом и установкой и синхронной загрузкой с записью по заднему фронту	2-79
<b>FDRSLE</b>	триггер D-типа с синхронными сбросом и установкой, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-80
<b>FDS</b>	триггер D-типа с синхронной установкой с записью по переднему фронту	2-81
<b>FDSB</b>	триггер D-типа с синхронной установкой с записью по заднему фронту	2-82
<b>FDSE</b>	триггер D-типа с синхронной установкой и разрешением записи с записью по переднему фронту,	2-83
<b>FDSEB</b>	триггер D-типа с синхронной установкой и разрешением записи с записью по заднему фронту	2-84
<b>FDSL</b>	триггер D-типа с синхронной установкой и синхронной загрузкой с записью по переднему фронту	2-85
<b>FDSLБ</b>	триггер D-типа с синхронной установкой и синхронной загрузкой с записью по заднему фронту	2-86
<b>FDSLE</b>	триггер D-типа с синхронной установкой, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-87
<b>FDSLEB</b>	триггер D-типа с синхронной установкой, синхронной загрузкой и разрешением записи с записью по заднему фронту	2-88
<b>FDSR</b>	триггер D-типа с синхронными установкой и сбросом с записью по переднему фронту	2-89
<b>FDSRB</b>	триггер D-типа с синхронными установкой и сбросом с записью по заднему фронту	2-90
<b>FDSRE</b>	триггер D-типа с синхронными установкой и сбросом и разрешением записи с записью по переднему фронту	2-91
<b>FDSREB</b>	триггер D-типа с синхронными установкой и сбросом и разрешением записи с записью по заднему фронту	2-92

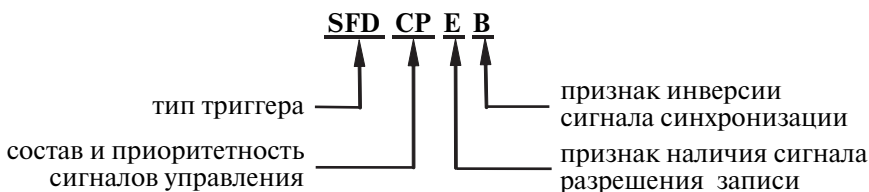
Имя	Функция	Страница
1	2	3
<b>FDSRL</b>	триггер D-типа с синхронными установкой и сбросом и синхронной загрузкой с записью по переднему фронту	2-93
<b>FDSRLB</b>	триггер D-типа с синхронными установкой и сбросом и синхронной загрузкой с записью по заднему фронту	2-94
<b>FDSRLE</b>	триггер D-типа с синхронными установкой и сбросом, синхронной загрузкой и разрешением записи с записью по переднему фронту	2-95
<b>FJKCP</b>	триггер JK-типа с асинхронными сбросом и установкой с записью по переднему фронту	2-96
<b>FJKCPB</b>	триггер JK-типа с асинхронными сбросом и установкой с записью по заднему фронту	2-97
<b>FTC</b>	счетный триггер с асинхронным сбросом с синхронизацией по переднему фронту	2-98
<b>FTCB</b>	счетный триггер с асинхронным сбросом с синхронизацией по заднему фронту	2-99
<b>FTCE</b>	счетный триггер с асинхронным сбросом и разрешением счета с синхронизацией по переднему фронту	2-100
<b>FTCEB</b>	счетный триггер с асинхронным сбросом и разрешением счета с синхронизацией по заднему фронту	2-101
<b>FTCL</b>	счетный триггер с асинхронным сбросом и синхронной загрузкой с синхронизацией по переднему фронту	2-102
<b>FTCLB</b>	счетный триггер с асинхронным сбросом и синхронной загрузкой с синхронизацией по заднему фронту	2-103
<b>FTCLE</b>	счетный триггер с асинхронным сбросом, синхронной загрузкой и разрешением счета с синхронизацией по переднему фронту	2-104
<b>FTCLEB</b>	счетный триггер с асинхронным сбросом, синхронной загрузкой и разрешением счета с синхронизацией по заднему фронту	2-105
<b>FTCP</b>	счетный триггер с асинхронными сбросом и установкой с синхронизацией по переднему фронту	2-106
<b>FTCPB</b>	счетный триггер с асинхронными сбросом и установкой с синхронизацией по заднему фронту	2-107
<b>FTCPE</b>	счетный триггер с асинхронными сбросом и установкой и разрешением счета с синхронизацией по переднему фронту	2-108
<b>FTCPEB</b>	счетный триггер с асинхронными сбросом и установкой и разрешением счета с синхронизацией по заднему фронту	2-109
<b>FTCPL</b>	счетный триггер с асинхронными сбросом и установкой и синхронной загрузкой с синхронизацией по переднему фронту	2-110
<b>FTCPLB</b>	счетный триггер с асинхронными сбросом и установкой и синхронной загрузкой с синхронизацией по заднему фронту	2-111
<b>FTCPLE</b>	счетный триггер с асинхронными сбросом и установкой, синхронной загрузкой и разрешением счета с синхронизацией по переднему фронту	2-112
<b>FTP</b>	счетный триггер с асинхронной установкой с синхронизацией по переднему фронту	2-113
<b>FTPБ</b>	счетный триггер с асинхронной установкой с синхронизацией по заднему фронту	2-114
<b>FTPE</b>	счетный триггер с асинхронной установкой и разрешением счета с синхронизацией по переднему фронту	2-115
<b>FTPEB</b>	счетный триггер с асинхронной установкой и разрешением счета с синхронизацией по заднему фронту	2-116
<b>FTPL</b>	счетный триггер с асинхронной установкой и синхронной загрузкой с синхронизацией по переднему фронту	2-117
<b>FTPLB</b>	счетный триггер с асинхронной установкой и синхронной загрузкой с синхронизацией по заднему фронту	2-118

Имя	Функция	Страница
1	2	3
<b>FTPLE</b>	счетный триггер с асинхронной установкой, синхронной загрузкой и разрешением счета с синхронизацией по переднему фронту	2-119
<b>FTPLEB</b>	счетный триггер с асинхронной установкой, синхронной загрузкой, разрешением счета с синхронизацией по заднему фронту	2-120
<b>FTR</b>	счетный триггер с синхронным сбросом с синхронизацией по переднему фронту	2-121
<b>FTRB</b>	счетный триггер с синхронным сбросом с синхронизацией по заднему фронту	2-122
<b>FTRE</b>	счетный триггер с синхронным сбросом и разрешением счета с синхронизацией по переднему фронту	2-123
<b>FTREB</b>	счетный триггер с синхронным сбросом и разрешением счета с синхронизацией по заднему фронту	2-124
<b>FTRLE</b>	счетный триггер с синхронным сбросом, синхронной загрузкой и разрешением счета с синхронизацией по переднему фронту	2-125
<b>FTRLEB</b>	счетный триггер с синхронным сбросом, синхронной загрузкой и разрешением счета с синхронизацией по заднему фронту	2-126

*Триггеры сканирования для организации тестирования*

Триггер сканирования – это функциональная ячейка памяти, имеющая два устойчивых состояния, которые изменяются при появлении активного фронта сигнала синхронизации либо через вход данных, либо через вход сканирования в зависимости от состояния сигналов управления.

Обозначение триггера включает в себя обозначение типа триггера, состав и приоритетность сигналов управления и признаки.



В обозначении триггера указываются состав и приоритетность сигналов управления. Первым указывается тот сигнал, который имеет высший приоритет. В качестве управляющих могут использоваться следующие сигналы:

- С** – асинхронный сброс (вход **CLR**);
- Р** – асинхронная установка (вход **PRE**).

Признак наличия сигнала разрешения **Е** указывает на наличие в триггере входа разрешения сигнала синхронизации (вход **Е**), также может отсутствовать.

Признак инверсии **В** означает, что активным для триггера является задний фронт сигнала синхронизации.

Имя	Функция	Страница
SFD	триггер сканирования с записью по переднему фронту	2-175
SFDB	триггер сканирования с записью по заднему фронту	2-176
SFDC	триггер сканирования с асинхронным сбросом с записью по переднему фронту	2-177
SFDCB	триггер сканирования с асинхронным сбросом с записью по заднему фронту	2-178
SFDCE	триггер сканирования с асинхронным сбросом и разрешением записи с записью по переднему фронту	2-179
SFDCEB	триггер сканирования с асинхронным сбросом и разрешением записи с записью по заднему фронту	2-180
SFDCEP	триггер сканирования с асинхронными сбросом и установкой с записью по переднему фронту	2-181
SFDCEPB	триггер сканирования с асинхронными сбросом и установкой с записью по заднему фронту	2-182
SFDE	триггер сканирования с разрешением записи с записью по переднему фронту	2-183
SFDEB	триггер сканирования с разрешением записи с записью по заднему фронту	2-184
SFDP	триггер сканирования с асинхронной установкой с записью по переднему фронту	2-185
SFDPB	триггер сканирования с асинхронной установкой с записью по заднему фронту	2-186
SFDPE	триггер сканирования с асинхронной установкой и разрешением записи с записью по переднему фронту	2-187
SFDPEB	триггер сканирования с асинхронной установкой и разрешением записи с записью по заднему фронту	2-188

### Триггеры Шмитта

Триггер Шмитта – это функциональная ячейка, предназначенная для преобразования непрерывно меняющегося сигнала в набор прямоугольных импульсов.

Вольтамперная характеристика триггера Шмитта представляет собой петлю гистерезиса. Это позволяет использовать данную ячейку в качестве формирователя прямоугольных импульсов из входного напряжения произвольной формы.

Обозначение триггера Шмитта включает в себя тип ячейки и номер модификации.

тип триггера Шмитта    **TS 1**    номер модификации

Тип триггера Шмитта может принимать следующие значения:

**TS** – триггер Шмитта КМОП-уровня;

**TSTTL** – триггер Шмитта ТТЛ-уровня.

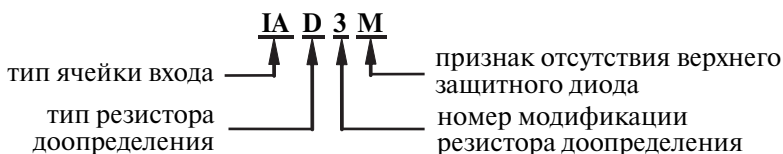
Модификациями являются триггеры Шмитта, имеющие различные значения гистерезиса.

Имя	Функция	Страница
TS1, TS2, TS3, TS4	триггеры Шмитта КМОП-уровня с различными номиналами гистерезиса	2-198
TSTTL1, TSTTL2	триггеры Шмитта ТТЛ-уровня с различными номиналами гистерезиса	2-199

*Периферийные ячейки входа*

Ячейка входа – это функциональная ячейка, обеспечивающая передачу цифрового или аналогового сигнала с внешнего вывода БИС внутрь поля БМК.

Обозначение ячейки входа включает тип ячейки, номер модификации резистора доопределения и признак отсутствия верхнего защитного диода.



Тип ячейки входа может принимать следующие значения:

- IA** – вход аналоговый;
- IDBL** – вход цифровой с инверсным маломощным выходом (используется для реализации РС и кварцевых генераторов);
- IDP** – вход цифровой с парафазным выходом;
- ITL** – вход цифровой с триггером Шмитта ТТЛ-уровня и парафазным выходом;
- ITS** – вход цифровой с триггером Шмитта и парафазным выходом.

Тип резистора доопределения может принимать следующие значения:

- D** – резистор доопределения до низкого уровня;
- U** – резистор доопределения до высокого уровня.

Буква **M** обозначает отсутствие в ячейке диода электростатической защиты, подключенного к шине «Питание», что позволяет применять ячейку в системах с «холодным» резервом.

Имя	Функция	Страница
1	2	3
<b>IA</b>	вход аналоговый	2-127
<b>IAD1</b>	вход аналоговый с доопределением до низкого уровня малого номинала	3-25
<b>IAD2, IAD3, IAD4</b>	входы аналоговые с доопределением до низкого уровня различного номинала	2-127
<b>IAD1M, IAD2M, IAD3M, IAD4M</b>	входы аналоговые с доопределением до низкого уровня различного номинала для микросхем «холодного» резерва»	3-26
<b>IAM</b>	вход аналоговый для микросхем «холодного» резерва	3-28
<b>IAPND1</b>	вход аналоговый / выход цифровой с доопределением до низкого уровня	3-35
<b>IAU1, IAU2, IAU3, IAU4</b>	входы аналоговые с доопределением до высокого уровня различного номинала	2-134

Имя	Функция	Страница
1	2	3
IDBL	вход цифровой с инверсным маломощным выходом	3-37
IDP	вход цифровой с парафазным выходом	2-134
IDPD1	вход цифровой с парафазным выходом и доопределением до низкого уровня малого номинала	3-40
IDPD2, IDPD3, IDPD4	входы цифровые с парафазным выходом и доопределения до низкого уровня различного номинала	2-135
IDPD1M, IDPD2M, IDPD3M, IDPD4M	входы цифровые с парафазным выходом, с доопределением до низкого уровня различного номинала для микросхем «холодного» резерва	3-41
IDPM	вход цифровой с парафазным выходом для микросхем «холодного» резерва	3-43
IDPU1, IDPU2, IDPU3, IDPU4	входы цифровые с парафазным выходом и доопределением до высокого уровня различного номинала	2-136

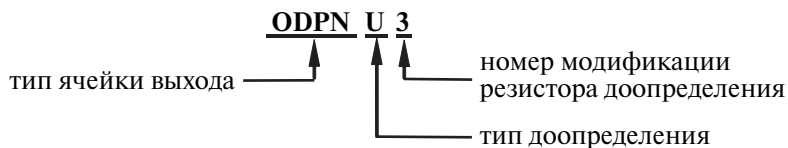
1

Входные ячейки **ITL**, **ITLDi**, **ITLUi**, **ITS**, **ITSDi**, **ITSUi** реализованы в виде макроячеек.

### Периферийные ячейки выхода

Ячейка выхода — это функциональная ячейка, обеспечивающая передачу информации из поля БМК на внешний вывод БИС.

Обозначение ячейки выхода включает тип ячейки, тип доопределения и номер модификации резистора доопределения.



Тип ячейки выхода может принимать следующие значения:

- OA** — аналоговый потенциальный выход;
- OD** — цифровой выход с двумя состояниями;
- ODPN** — цифровой выход с отдельным управлением выходными транзисторами;
- ODE** — цифровой выход с тремя состояниями.

Тип доопределения может отсутствовать или принимать значения:

- D** — доопределение до низкого уровня;
- U** — доопределение до высокого уровня.

Имя	Функция	Страница
1	2	3
OA	выход аналоговый	2-158
OD1, OD2, OD3	выходы цифровые с различной нагрузочной способностью	3-45

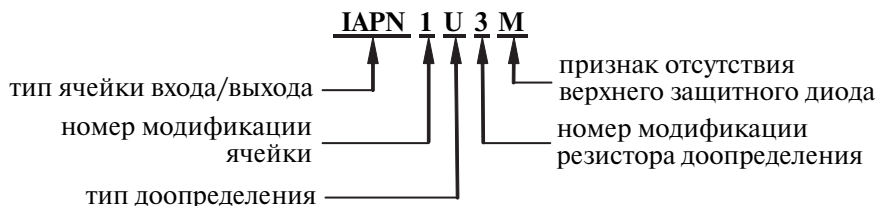
Имя	Функция	Страница
1	2	3
<b>ODPN</b>	выход цифровой	2-159
<b>ODPN2</b>	выход цифровой с низкой нагрузочной способностью	3-46
<b>ODPND1</b>	выход цифровой с доопределением до низкого уровня малого номинала	3-47
<b>ODPND2, ODPND3, ODPND4</b>	выход цифровой с доопределением до низкого уровня различного номинала	2-160
<b>ODPNU1, ODPNU2, ODPNU3, ODPNU4</b>	выход цифровой с доопределением до высокого уровня различного номинала	2-161

Выходные ячейки **ODE**, **ODEDi**, **ODEUi** реализованы в виде макроячеек.

### Периферийные ячейки входа/выхода

Ячейка входа/выхода – это функциональная ячейка, обеспечивающая передачу информации как с внешнего вывода БИС внутрь поля БМК, так и из поля БМК на внешний вывод БИС.

Обозначение ячейки входа/выхода включает тип и номер модификации ячейки, тип доопределения, номер модификации резистора доопределения и признак отсутствия верхнего защитного диода.



Тип ячейки входа/выхода может принимать следующие значения:

- IAOINV** – вход аналоговый / выход цифровой для реализации RC-генераторов;
- IAON** – вход аналоговый / выход цифровой с открытым стоком n-транзистора;
- IAPN** – вход аналоговый / выход цифровой с отдельным управлением выходными транзисторами;
- IOD** – вход/выход цифровой;
- ION** – вход/выход цифровой с открытым стоком n-транзистора;
- IOP** – вход/выход цифровой с открытым стоком p-транзистора;
- IOPN** – вход/выход цифровой с отдельным управлением выходными транзисторами;
- IOTL** – вход цифровой с триггером Шмитта TTL-уровня / выход цифровой;
- IOTS** – вход цифровой с триггером Шмитта / выход цифровой.

Тип доопределения может отсутствовать или принимать следующие значения:

- D** – доопределение до низкого уровня;
- U** – доопределение до высокого уровня.

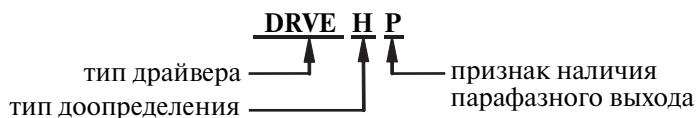
Имя	Функция	Страница
1	2	3
IAOINV	вход аналоговый / выход цифровой для реализации RC-генераторов	3-29
IAON1, IAON2, IAON3, IAON4, IAON5	вход аналоговый / выход цифровой с открытым стоком n-транзистора, с различной нагрузочной способностью	3-30
IAON1M, IAON2M, IAON3M, IAON4M, IAON5M	вход аналоговый / выход цифровой с открытым стоком n-транзистора, с различной нагрузочной способностью для микросхем «холодного» резерва	3-31
IAON1U, IAON2U, IAON3U, IAON4U, IAON5U	вход аналоговый / выход цифровой с открытым стоком n-транзистора, с различной нагрузочной способностью и доопределением до высокого уровня	3-33
IAPN	вход аналоговый / выход цифровой	2-128
IAPN2	вход аналоговый / выход цифровой и низкой нагрузочной способностью	3-34
IAPND1	вход аналоговый / выход цифровой и доопределением до низкого уровня малого номинала	3-35
IAPND2, IAPND3, IAPND4	вход аналоговый / выход цифровой с доопределением до низкого уровня различного номинала	2-129
IAPNU1, IAPNU2, IAPNU3, IAPNU4	вход аналоговый / выход цифровой с доопределением до высокого уровня различного номинала	2-131
ION	вход цифровой парафазный / выход цифровой с открытым n-транзистором	2-137
IOP	вход цифровой парафазный / выход цифровой с открытым p-транзистором	2-138
IOPN	вход цифровой парафазный / выход цифровой	2-139

Ячейки вход/выхода **IOD**, **IODDi**, **IODUi**, **IOTL**, **IOTLDi**, **ITLUi**, **IOTS**, **IOTSDi**, **IOTSUi** реализованы в виде макроячеек.

#### Драйверы периферийных ячеек

Драйвер периферийной ячейки – это функциональная ячейка, обеспечивающая формирование сигналов управления периферийной ячейкой для реализации ею функции выхода или входа/выхода.

Обозначение драйвера включает тип драйвера и признак наличия в драйвере парафазного выхода.





Тип драйвера может принимать следующие значения:

**DRV** — драйвер для организации выхода;

**DRVE** — драйвер для организации входа/выхода.

Тип доопределения указывает, каким образом высокоимпедансное состояние на внешнем выводе БИС доопределяется до логически определенного уровня, и может принимать следующие значения:

**D** — в периферийной ячейке включается резистор доопределения до низкого уровня;

**U** — в периферийной ячейке включается резистор доопределения до высокого уровня;

**H** — в периферийной ячейке кратковременно включается мощный выходной транзистор р-типа, обеспечивающий быстрое переключение сигнала на внешнем выводе микросхемы из состояния низкого уровня в состояние высокого уровня (формирование «подброса») с последующим удержанием высокого уровня резистором доопределения.

Признак **P** обозначает наличие в драйвере парафазного выхода для усиления и передачи в поле БМК логических сигналов с внешнего вывода БИС (может отсутствовать).

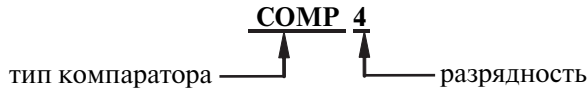
Различные типы драйверов предназначены для управления теми или иными периферийными ячейками. Варианты подключения периферийных ячеек и драйверов указаны в рекомендациях по применению в описаниях соответствующих периферийных ячеек и драйверов.

Имя	Функция	Страница
<b>DRV</b>	драйвер периферийной ячейки для организации выхода	2-12
<b>DRVE</b>	драйвер периферийной ячейки для организации входа/выхода	2-13
<b>DRVED</b>	драйвер периферийной ячейки для организации входа/выхода с доопределением до низкого уровня	2-15
<b>DRVEDP</b>	драйвер периферийной ячейки для организации входа/выхода с доопределением до низкого уровня и парафазным выходом	2-17
<b>DRVEHP</b>	драйвер периферийной ячейки для организации входа/выхода с формированием «подброса», доопределением до высокого уровня и парафазным выходом	2-19
<b>DRVEU</b>	драйвер периферийной ячейки для организации входа/выхода с доопределением до высокого уровня	2-21
<b>DRVEUP</b>	драйвер периферийной ячейки для организации входа/выхода с доопределением до высокого уровня и парафазным выходом	2-23
<b>DRVHP</b>	драйвер периферийной ячейки для организации выхода с формированием «подброса», доопределением до высокого уровня и парафазным выходом	2-25

### Компараторы цифровые

Цифровой компаратор — это функциональная ячейка, выполняющая логическую функцию сравнения двух бинарных чисел. В состав библиотеки входят компараторы, формирующие сигнал эквивалентности, и компараторы, формирующие сигналы сравнения «больше» и «меньше».

Обозначение компаратора включает в себя тип компаратора и разрядность сравниваемых бинарных чисел.



Тип компаратора может принимать следующие значения:

- COMP** – сравнение двух чисел с формированием сигнала эквивалентности (выход EQ);
- COMPМ** – сравнение двух чисел с формированием сигналов сравнения «больше» (выход GT) и «меньше» (выход LT).

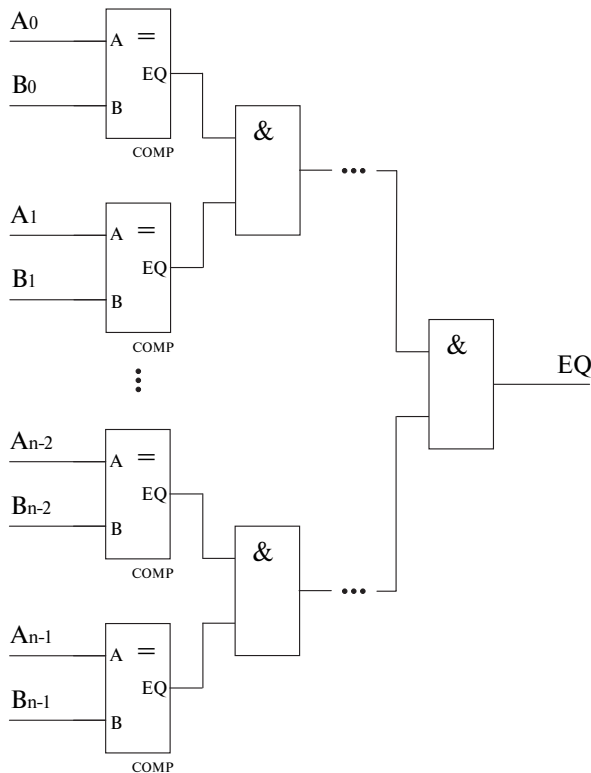
Разрядность сравниваемых бинарных чисел может принимать значения 2, 4, 8, 16. Для одноразрядных компараторов разрядность не указывается.



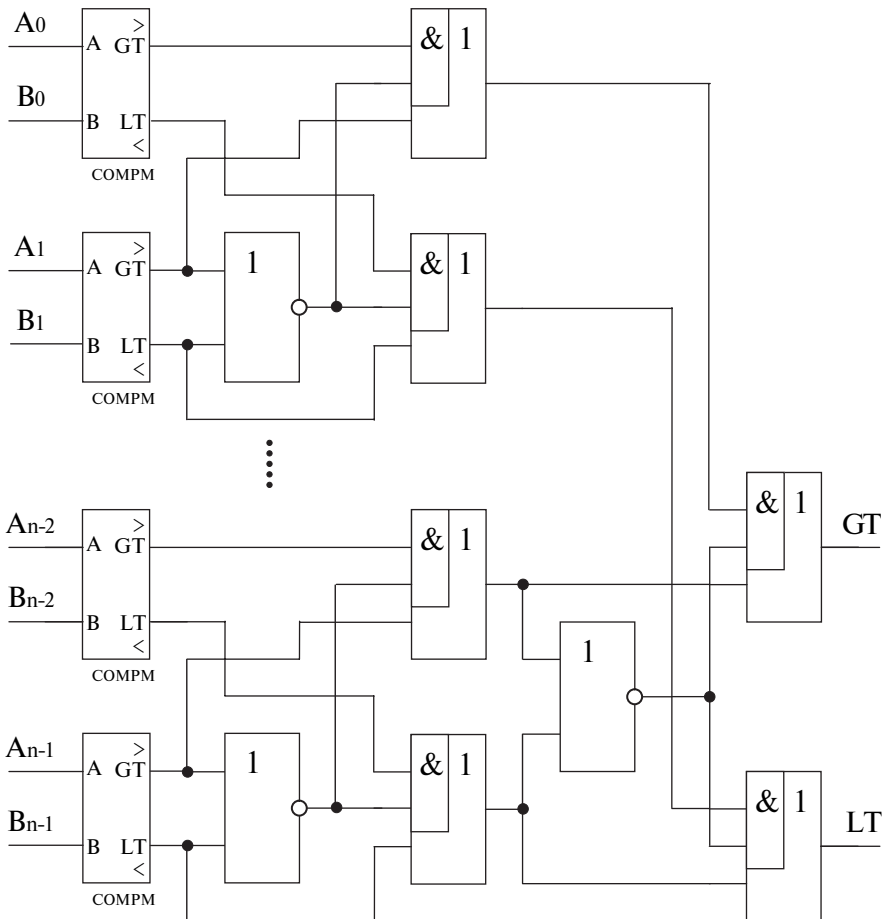
Имя	Функция	Страница
<b>COMP</b>	компаратор одноразрядный с выработкой сигнала эквивалентности	2-8
<b>COMP2</b>	компаратор двухразрядный с выработкой сигнала эквивалентности	2-9
<b>COMPМ</b>	компаратор одноразрядный с выработкой сигналов сравнения	2-10
<b>COMPМ2</b>	компаратор двухразрядный с выработкой сигналов сравнения	2-11

Цифровые компараторы сравнения 4, 8 и 16-разрядных бинарных чисел реализованы в виде макроячеек. Их функциональные схемы приведены ниже.

**Функциональная схема компаратора COMP<sub>n</sub> с формированием сигнала эквивалентности**



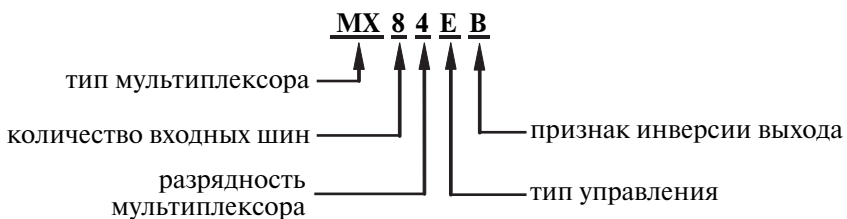
Функциональная схема компаратора  $COMP_n$  с формированием сигналов сравнения



Мультиплексоры

Мультиплексор — это функциональная ячейка, выполняющая функцию передачи одного из нескольких входных сигналов на выход в зависимости от значения управляющих сигналов.

Обозначение мультиплексора включает в себя тип мультиплексора, количество входных шин, разрядность мультиплексора, тип управления и признак инверсии выхода.



В библиотеке реализованы мультиплексоры двух типов:

**МХ** — мультиплексор цифровых сигналов;

**МХА** — мультиплексор аналоговых сигналов.

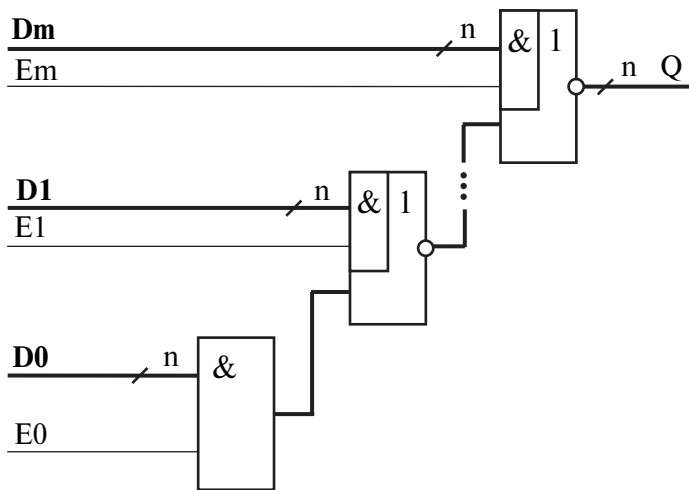
Тип управления определяет схемотехническую реализацию мультиплексора. Для мультиплексоров параллельного типа с управлением двоичным кодом тип управления не указывается, а для мультиплексоров последовательного типа с управлением набором независимых сигналов указывается тип **Е**.

Одноразрядные мультиплексоры реализованы в виде базовых ячеек. Тип управления в них не указывается.

Имя	Функция	Страница
<b>МХ21</b>	Мультиплексор цифровой из дву- в одноразрядный	2-152
<b>МХ21В</b>	Мультиплексор цифровой из дву- в одноразрядный с инверсией	2-153
<b>МХА21</b>	Мультиплексор аналоговых сигналов из 2 в 1 одноразрядный	3-44
<b>МХ41</b>		2-153
<b>МХ41В</b>		2-154

В виде макроячеек в библиотеке реализованы последовательные мультиплексоры без инверсии выходного сигнала с количеством входных шин 2, 3, 4, 5, 6, 7, 8 и разрядностью шин 2, 4, 8 и 16 бит и параллельные мультиплексоры без инверсии выходного сигнала с количеством входных шин 2, 4, 8, 16 и разрядностью шин 2, 4, 8 и 16 бит.

Функциональная схема последовательного мультиплексора **МХ $m$ nE**

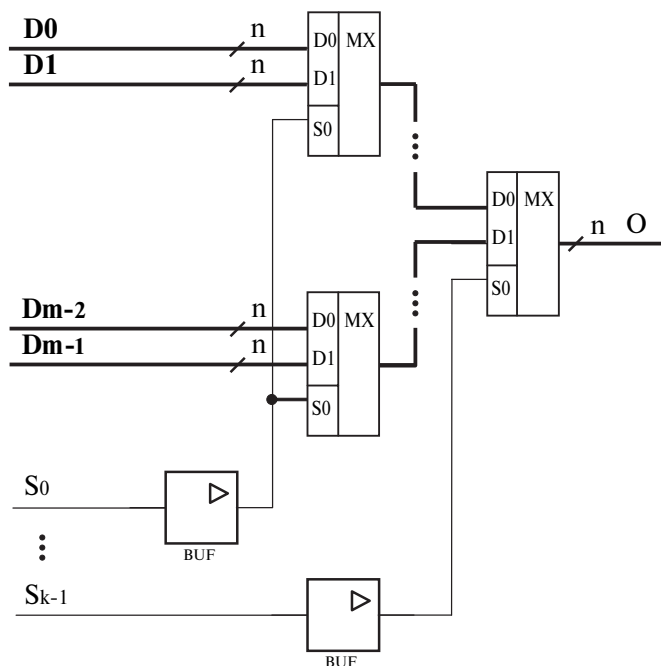


Последовательные мультиплексоры могут иметь большую собственную задержку, т.к. количество каскадов мультиплексора равно количеству входных шин, причем задержка передачи сигнала каждой входной шины на выход различна и определяется местоположением шины в мультиплексоре. Наименьшую задержку имеют каскады, расположенные ближе к выходу мультиплексора.

Последовательные мультиплексоры требуют небольших ресурсов при разводке топологии, если они размещаются покаскадно в непосредственной близости от источников входных сигналов. В этом случае разводка между каскадами мульт-

типлектора занимает одну трассу канала трассировки на один разряд мультиплектора, т.к. каждый последующий каскад связан с предыдущим только одной связью. Таким образом, последовательные мультиплекторы оптимально реализуются в топологии БИС и имеют малую задержку для каскадов, расположенных ближе к выходу мультиплектора.

Функциональная схема параллельного мультиплектора **MX8nS**



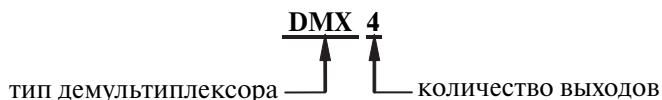
Параллельные мультиплекторы для всех входных шин имеют примерно одинаковую задержку до выхода.

Каждый каскад в параллельном мультиплекторе связан с другими каскадами тремя связями, что создает значительную нагрузку на ресурсы трассировки БМК при синтезе топологии БИС. Поэтому параллельные мультиплекторы удобно применять для схем, в которых источники сигналов могут быть попарно сгруппированы и размещены поразрядно группами. В этом случае источники сигналов размещаются так, чтобы мультиплекторы каждого разряда могли быть расположены вертикальными столбцами, а результирующие сигналы каскадов мультиплектора объединялись в центре каждого столбца.

### Демультимплекторы

Демультимплектор – функциональная ячейка, выполняющая функцию передачи входного сигнала на одно из нескольких направлений, определяемых входным адресом.

Обозначение демультимплектора включает в себя тип демультимплектора и количество выходных сигналов.



В библиотеке реализованы демultipлексоры двух типов:

**DMX** – демultipлексор цифровых сигналов;

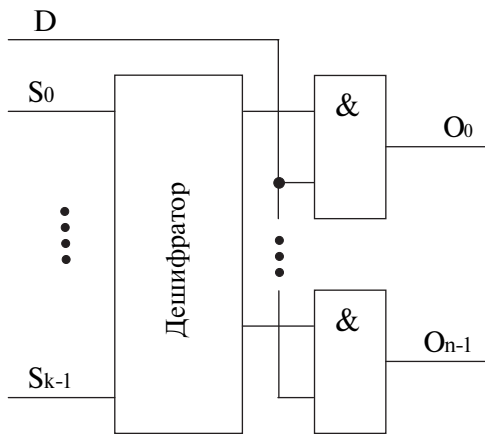
**DMXA** – демultipлексор аналоговых сигналов.

Для 2-разрядного демultipлексора количество выходов не указывается.

Имя	Функция	Страница
<b>DMXA</b>	демultipлексор аналоговый в два направления	3-24

Демultipлексоры цифровых и аналоговых сигналов с количеством выходов 4, 8 и 16 реализованы в виде макроячеек. Функциональная схема цифрового демultipлексора представлена ниже.

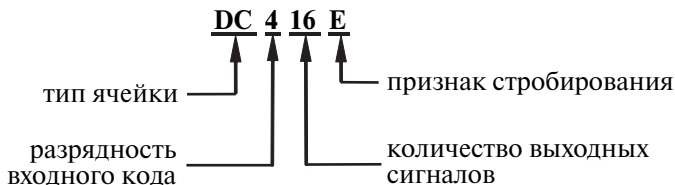
Функциональная схема цифрового демultipлексора **DMX<sub>n</sub>**



Дешифраторы

Дешифратор – функциональная ячейка, обеспечивающая преобразование бинарного кода в набор цифровых сигналов.

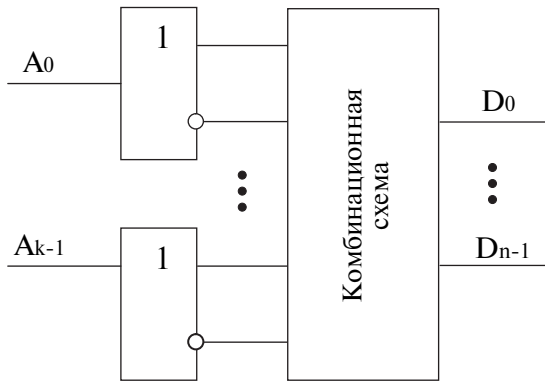
Обозначение дешифратора включает в себя тип ячейки, разрядность входного бинарного кода, количество выходных сигналов и признак наличия сигнала стробирования.



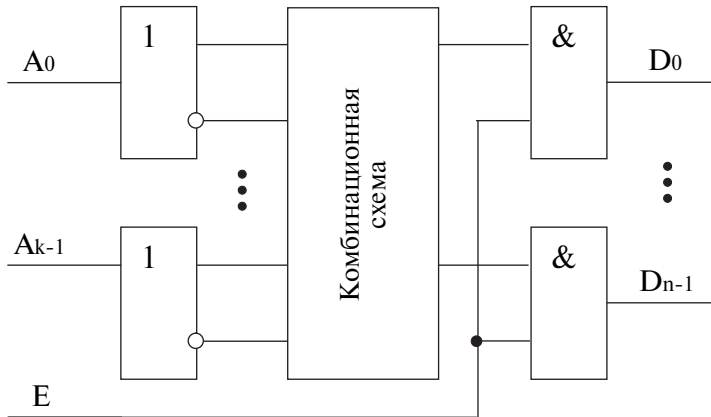
Дешифраторы обозначаются **DC** и реализованы в виде макроячеек. В состав библиотеки входят нестробируемые и стробируемые полные дешифраторы 2, 3 и 4-разрядного кода, дешифратор 4-разрядного кода в 10 выходных сигналов и дешифратор семисегментного индикатора. Признак стробирования в обозначении нестробируемых дешифраторов отсутствует.

Функциональные схемы нестробируемых и стробируемых дешифраторов представлены ниже.

Функциональная схема нестробируемого дешифратора  $DCkn$



Функциональная схема стробируемого дешифратора  $DCknE$

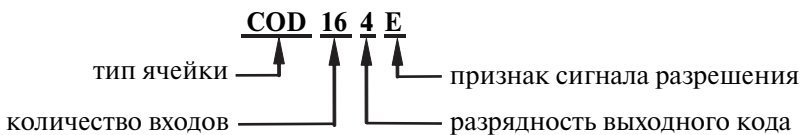


Следует также отметить, что на выходах нестробируемых дешифраторов при изменении входного кода за счет разброса задержек в комбинационной схеме возникает дребезг (многократное функционально необоснованное изменение сигнала), что необходимо учитывать при разработке схем. Поэтому целесообразнее использовать стробируемые дешифраторы, в которых дребезг можно устранить сигналом стробирования.

### Шифраторы

Шифратор – это функциональная ячейка, выполняющая функцию преобразования набора цифровых сигналов в бинарный код.

Обозначение шифратора включает в себя тип ячейки, количество входных сигналов, разрядность выходного бинарного кода и признак сигнала разрешения.



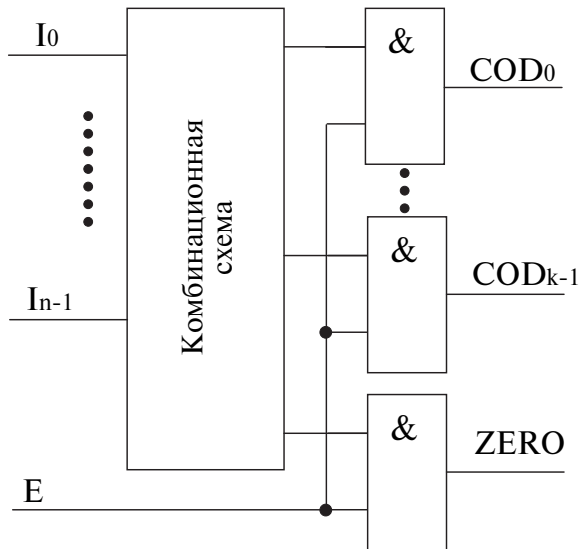
Шифраторы обозначаются COD и реализованы в виде макроячеек. В их состав входят нестробируемые и стробируемые шифраторы на 4, 8, 10 и 16 входов. Входы шифраторов имеют обозначение  $I_0 \dots I_{n-1}$ , выходы кодированного сигнала  $COD_0 \dots COD_{k-1}$  и выход признака отсутствия данных на входе **ZERO**. Сигнал разрешения **E** обеспечивает стробирование выходного кода. Признак стробирования в обозначении нестробируемых шифраторов отсутствует.

Функциональные схемы нестробируемых и стробируемых дешифраторов представлены ниже.

Функциональная схема нестробируемого шифратора  $COD_{nk}$



Функциональная схема стробируемого шифратора  $COD_{nkE}$



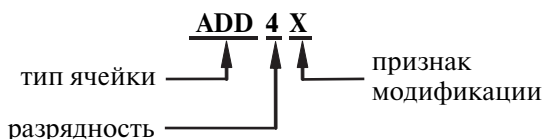
Следует также отметить, что на выходах нестробируемых шифраторов при изменении входного кода может возникать дребезг, что необходимо учитывать при разработке схем.

### Сумматоры

Сумматор – это функциональная ячейка, выполняющая функцию логического сложения двух чисел.

Обозначение сумматора включает в себя тип ячейки, разрядность суммируемых чисел и признак модификации.



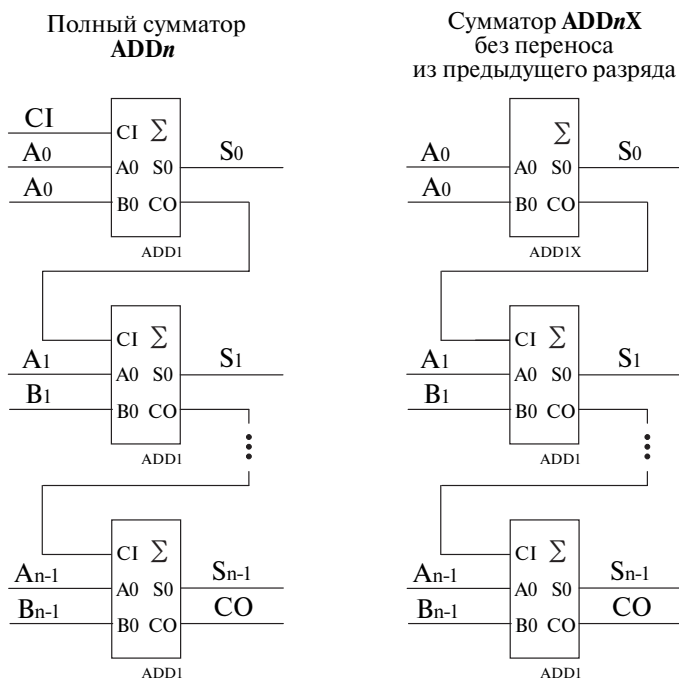


Сумматоры обозначаются **ADD**. Многоразрядные сумматоры реализованы в виде макроячеек. Модификации образуют сумматоры, в которых отсутствует вход переноса в младшем разряде, и обозначаются буквой **X**.

Имя	Функция	Страница
<b>ADD1</b>	сумматор одноразрядный полный	2-4
<b>ADD1X</b>	сумматор одноразрядный без входа переноса	2-5

В библиотеке 5503 в виде макроячеек реализованы 2, 4, 8 и 16-разрядные сумматоры. Функциональные схемы этих сумматоров приведены ниже.

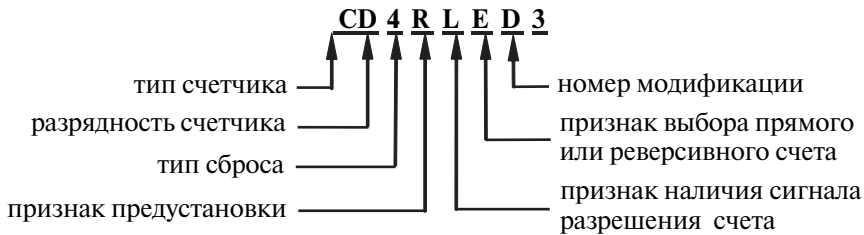
### Функциональные схемы сумматоров



### Счетчики

Счетчик – это функциональная ячейка, формирующая код, пропорциональный количеству входных тактовых импульсов.

Обозначение счетчика включает в себя тип счетчика, разрядность, признаки управляющих сигналов и номер модификации.



Тип счетчика может принимать следующие значения:

- CB** – двоичный синхронный счетчик;
- CR** – двоичный последовательный счетчик;
- CV** – двоичный последовательный счетчик с переменным коэффициентом счета;
- CD** – десятичный синхронный счетчик;
- CJ** – счетчик Джонсона.

Тип сброса принимает значение **R** в случае наличия в счетчике синхронного сброса и значение **C** в случае наличия асинхронного сброса.

Наличие признака предустановки указывает на возможность параллельной записи данных в счетчик (предустановка счетчика). Признак может отсутствовать или принимать значения:

- L** – синхронная предустановка с синхронизацией по входу **C**;
- I** – асинхронная предустановка.

Признак наличия сигнала разрешения счета **E** указывает на реализацию синхронного счетчика на основе триггеров с разрешением записи по входу **E**, может отсутствовать.

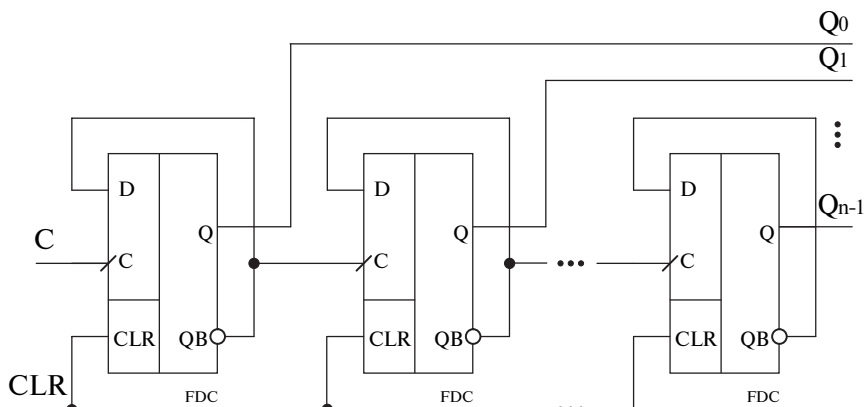
Наличие признака выбора прямого или реверсивного счета **D** соответствует счетчикам, в которых имеется возможность выбора направления счета.

Счетчики одного типа могут иметь модификации, которыми считаются какие-либо отличия, например инверсные входные сигналы или разный коэффициент счета. В этом случае в имени счетчика добавляется номер модификации (в частном случае равный коэффициенту счета). При отсутствии модификаций номер модификации отсутствует.

В библиотеке реализованы синхронные и асинхронные счетчики с различным коэффициентом счета.

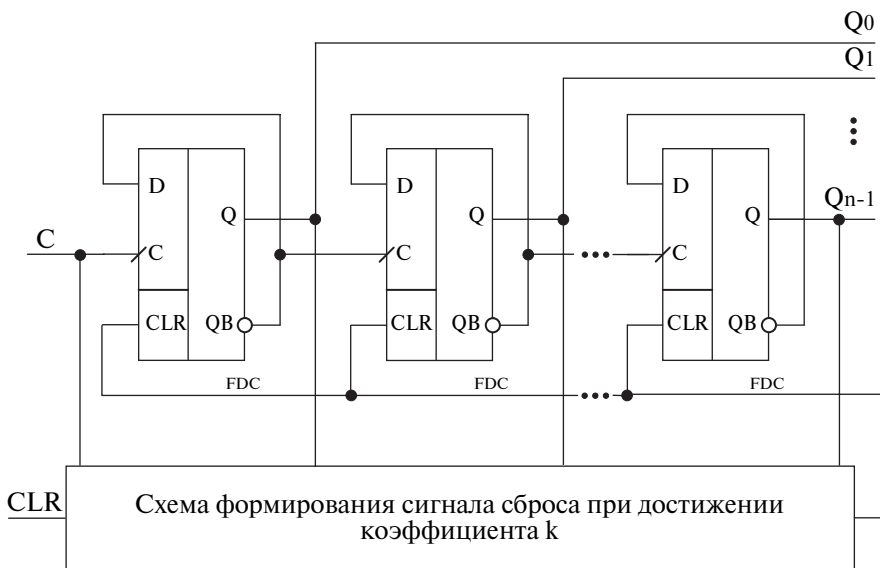
В асинхронных счетчиках тактовая частота поступает только на младший разряд, каждый последующий разряд тактируется изменением выходного сигнала предыдущего разряда, т.е. тактирование разрядов осуществляется асинхронно. Топологическая реализация счетчика не влияет на его функционирование. Недостатком таких счетчиков является значительная, зависящая от состояния счетчика задержка и асинхронность изменения разрядов при формировании выходного кода. Максимальная задержка счетчика равна суммарной задержке всех его разрядов.

Функциональная схема асинхронного двоичного счетчика **CRnC**

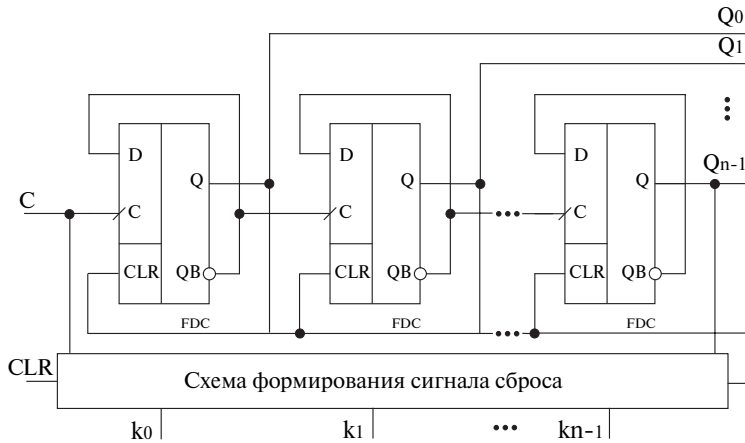


Обычно асинхронные счетчики являются двоичными. Для реализации на их основе счетчиков с определенным коэффициентом счета в их структуру вводится схема формирования сигнала сброса, которая и обеспечивает требуемый коэффициент счета. Для асинхронных счетчиков с переменным коэффициентом счета в схему формирования сигнала сброса дополнительно вводится двоичный код, определяющий коэффициент счета. Значение кода может изменяться в процессе работы счетчика.

Функциональная схема асинхронного счетчика с определенным коэффициентом счета **CRnCk**

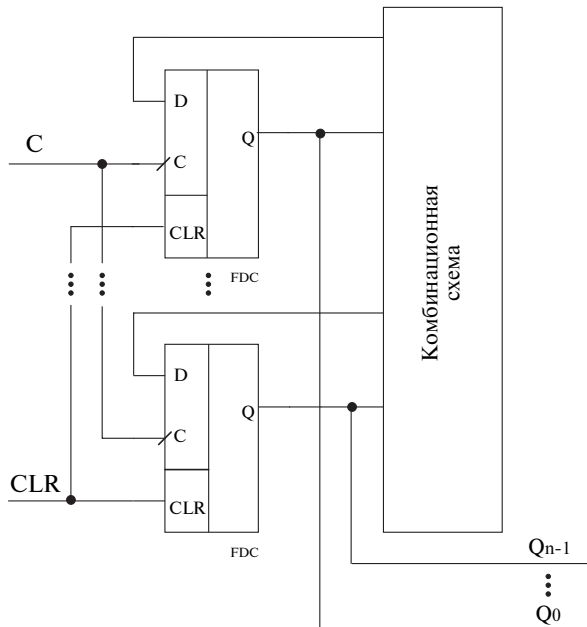


Функциональная схема асинхронного счетчика с переменным коэффициентом счета  $CVnC$



В отличие от асинхронного, все разряды синхронного счетчика имеют общую тактовую частоту, а данные для каждого разряда формируются соответствующей комбинационной схемой переноса. Выходной код формируется синхронно, задержка счетчика соответствует задержке триггера, на базе которого он реализован. Недостатком синхронных счетчиков является требование к топологии по обеспечению одновременного прихода сигнала синхронизации на все разряды счетчика. Несоблюдение данного требования может привести к сбоям в работе. Объем синхронных счетчиков может существенно превышать объем аналогичных асинхронных счетчиков.

Функциональная схема синхронного счетчика  $CBnC$



Разновидностью синхронных счетчиков являются счетчики с разрешением записи, асинхронной и синхронной предустановкой, синхронным сбросом. Их отличием от приведенной функциональной схемы синхронного счетчика является применение других типов фронтных триггеров. В синхронных счетчиках с управляемым выбором направления счета, кроме этого, имеется дополнительный вход **DIR**, влияющий на комбинационную схему и позволяющий задать прямой или реверсивный порядок счета.

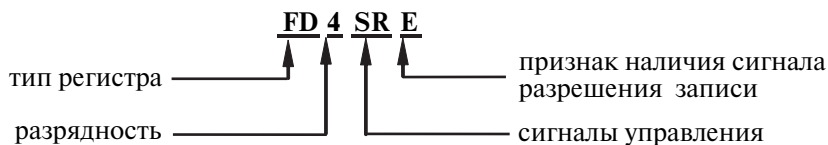
Все счетчики реализованы в виде макроячеек. В состав библиотеки входят следующие счетчики:

- двоичные счетчики, которые обеспечивают формирование бинарного кода:
  - синхронные 2, 3, 4, 8 и 16-разрядные счетчики **CBnC**, **CBnCD**, **CBnCE**, **CBnCED**, **CBnCI**, **CBnCID**, **CBnCLE**, **CBnCLED**, **CBnRE**, **CBnRED**, **CBnRLE**, **CBnRLED**;
  - асинхронные счетчики **CRnC**, **CRnCI** с разрядностью 2, 3, 4, 8, 16 разрядов;
- двоичные счетчики с заданным коэффициентом счета:
  - асинхронный счетчик на 24 состояния **CR6C24** (часовой) и асинхронный счетчик на 60 состояний **CR7C60** (минутный);
- двоичные асинхронные счетчики с переменным коэффициентом счета **CVnC** с разрядностью 2, 3, 4, 8, 16 разрядов;
- десятичные счетчики, которые обеспечивают формирование 4-разрядного двоично-десятичного кода **CD4C**, **CD4CE**, **CD4CI**, **CD4CLE**, **CD4RE**, **CD4RLE**;
- счетчики Джонсона, которые формируют код, соответствующий сдвигу предыдущего разряда на последующий и сдвигу инверсии старшего разряда на вход младшего, **CJnCE**, **CJnCI**, **CJnRE** с разрядностью 4, 5 и 8 разрядов.

### Регистры данных

Регистр данных — это функциональная ячейка, обеспечивающая запись цифровых данных либо при изменении фронта сигнала синхронизации для регистров с записью по фронту, либо при подаче высокого уровня сигнала синхронизации для регистров с записью по уровню и их хранение.

Обозначение регистра данных включает в себя тип регистра, количество разрядов, состав и приоритетность сигналов управления, признак наличия сигнала разрешения записи.



В библиотеке реализованы регистры следующих типов:

**FD** — регистры с записью по переднему фронту сигнала синхронизации;

**LD** — регистры с записью по высокому уровню сигнала синхронизации.

В обозначении могут присутствовать следующие сигналы управления, причем первым указывается сигнал, имеющий более высокий приоритет:

**S** — синхронная установка (вход **S**);

**R** — синхронный сброс (вход **R**);

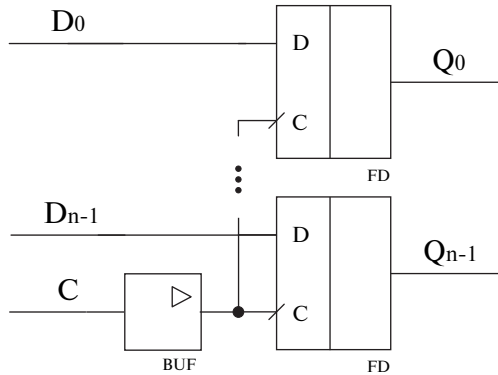
**P** — асинхронная установка (вход **PRE**);

**C** — асинхронный сброс (вход **CLE**).

Признак наличия сигнала разрешения записи E указывает на реализацию регистра на основе триггеров с разрешением записи, может отсутствовать.

Регистры данных реализованы в виде макроячеек, в состав библиотеки входят 2, 4, 8 и 16-разрядные регистры **FDn**, **FDnC**, **FDnCE**, **FDnCP**, **FDnRE** с записью по переднему фронту сигнала синхронизации и регистры **LDn**, **LDnC**, **LDnCE** с записью по высокому уровню сигнала синхронизации. Функциональная схема регистра данных приведена ниже.

Функциональная схема регистра данных **FDn**



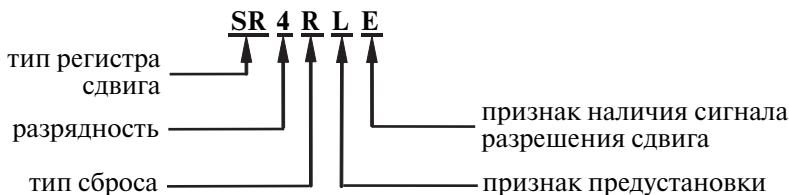
Наиболее оптимальным для БМК серий 5503 и 5507 с точки зрения минимизации разброса задержек в цепи синхронизации является вертикальное расположение регистров вдоль канала трассировки. Возможно и горизонтальное расположение регистра, если не предъявляется жестких требований по синхронности срабатывания разрядов регистра. При этом буфер усиления сигнала синхронизации желательно располагать в середине регистра, чтобы задержка распространения сигнала синхронизации была в целом минимальна.

Расположение регистров на поле БМК определяет структуру микросхемы, задает направление распространения данных в топологии. Поэтому регистры и связанные с ними блоки должны располагаться таким образом, чтобы обеспечивалось строгое взаимное расположение разрядов шин данных.

*Регистры сдвига*

Регистр сдвига – это функциональная ячейка, обеспечивающая хранение и по-разрядный сдвиг хранящейся информации.

Обозначение регистра сдвига включает тип регистра сдвига (для всех регистров сдвига принимает значение **SR**), его разрядность, перечень управляющих сигналов и номер модификации.



Тип сброса может отсутствовать или принимать значения:

**C** – асинхронный сброс (вход **CLR**);

**CP** – асинхронный сброс и предустановка с приоритетом сброса (вход **CLR** и вход **PRE**);

**R** – синхронный сброс (вход **R**).

Наличие признака предустановки указывает на возможность параллельной записи данных в регистр. Признак может отсутствовать или принимать значения:

**L** – синхронная предустановка с синхронизацией по входу **C**;

**I** – асинхронная предустановка.

Признак наличия сигнала разрешения сдвига **E** указывает на реализацию регистра сдвига на основе триггеров с разрешением записи, может отсутствовать.

Модификациями считаются регистры, имеющие инверсные входные сигналы или другие отличия. Номер модификации может отсутствовать.

Для одноразрядных регистров разрядность не указывается.

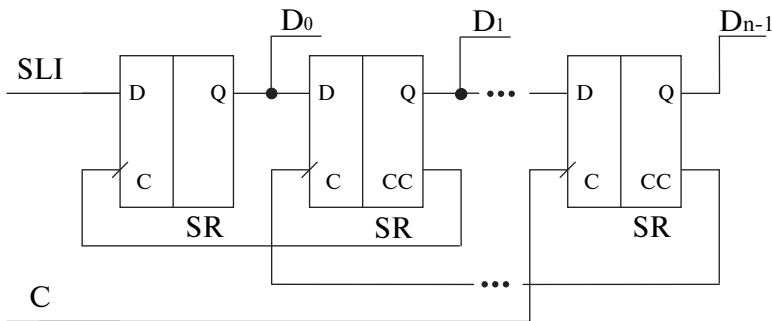
Одноразрядные регистры реализованы в виде базовых ячеек и представлены в таблице, многоразрядные – в виде макроячеек. В библиотеке в виде макроячеек реализованы 2, 4, 8 и 16-разрядные регистры сдвига следующих типов: **SRn**, **SRnC**, **SRnCE**, **SRnCI**, **SRnCLE**, **SRnRE**, **SRnRLE**.

Имя	Функция	Страница
<b>SR</b>	разряд сдвигового регистра	2-189
<b>SRC</b>	разряд сдвигового регистра с асинхронным сбросом	2-190
<b>SRCE</b>	разряд сдвигового регистра с асинхронным сбросом и разрешением сдвига	2-191
<b>SRCI</b>	разряд сдвигового регистра с асинхронными сбросом и асинхронной предустановкой	2-192
<b>SRCL</b>	разряд сдвигового регистра с асинхронными сбросом и синхронной предустановкой	2-193
<b>SRCLE</b>	разряд сдвигового регистра с асинхронным сбросом, синхронной предустановкой и разрешением сдвига	2-194
<b>SRCP</b>	разряд сдвигового регистра с асинхронными сбросом и установкой	2-195
<b>SRRE</b>	разряд сдвигового регистра с синхронным сбросом и разрешением сдвига	2-196
<b>SRRLE</b>	разряд сдвигового регистра с синхронным сбросом, синхронной предустановкой и разрешением сдвига	2-197

Особенностью многоразрядных сдвиговых регистров является их система синхронизации. Традиционно в сдвиговых регистрах синхронизация поступает на все разряды регистра параллельно, а данные распространяются от входа к выходу. Топологическая реализация регистра в этом случае может привести к возникновению гонок в распространении сигналов данных и синхронизации.

Схемотехническая реализация сдвиговых регистров в библиотеке 5503 обеспечивает распространение синхронизации от выходного разряда к входному, а данных – от входного к выходному. Это гарантирует бесбойную работу регистров независимо от их топологической реализации.

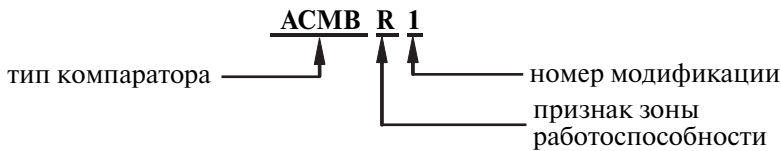
Функциональная схема сдвигового регистра  $SR_n$



*Компараторы аналого-цифровые*

Аналого-цифровой компаратор – это функциональная ячейка, выполняющая функцию сравнения двух аналоговых потенциальных сигналов с выработкой цифрового сигнала результата сравнения.

Обозначение компаратора включает в себя тип ячейки, тип, обозначение зоны работоспособности и номер модификации.



В состав библиотеки входят аналого-цифровые компараторы следующих типов:

- ACMB** – компаратор со встроенным гистерезисом;
- ACMF** – компаратор быстродействующий;
- ACML** – компаратор низкопотребляющий;
- ACMF** – компаратор стробируемый быстродействующий.

Аналого-цифровые компараторы одного типа могут существенно отличаться диапазоном значений напряжений сравниваемых входных сигналов. Существуют следующие диапазоны работоспособности:

- R** – полный диапазон (rail-to-rail);
- D** – нижний диапазон;
- U** – верхний диапазон.

Имя	Функция	Страница
1	2	3
<b>ACMBR1, ACMBR2, ACMBR3, ACMBR4</b>	компараторы напряжения со встроенным гистерезисом и полным диапазоном входных напряжений	3-2
<b>ACMFD</b>	компаратор быстродействующий с нижним диапазоном входных напряжений	3-7
<b>ACMFU</b>	компаратор быстродействующий с верхним диапазоном входных напряжений	3-9
<b>ACMLD</b>	компаратор низкопотребляющий с нижним диапазоном входных напряжений	3-11

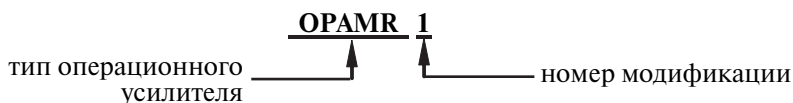


Имя	Функция	Страница
1	2	3
<b>ACMLU</b>	компаратор низкочастотный с верхним диапазоном входных напряжений	3-14
<b>ASCMFD</b>	компаратор стробируемый быстродействующий с нижним диапазоном входных напряжений	3-17
<b>ASCMFU</b>	компаратор стробируемый быстродействующий с верхним диапазоном входных напряжений	3-20

### Операционные усилители

Операционный усилитель – это функциональная ячейка, выполняющая усиление аналогового дифференциального сигнала.

Обозначение операционного усилителя включает в себя тип операционного усилителя и номер модификации.



Операционные усилители реализованы в виде базовых ячеек. Тип операционного усилителя определяется способом задания тока смещения:

**ОРАМР** – с внешним источником тока;

**ОРАМТ** – с внутренним источником тока.

Имя	Функция	Страница
<b>ОРАМР1</b>	операционный усилитель с внешним источником тока	3-48
<b>ОРАМТ1</b>	операционный усилитель с внутренним формирователем тока	3-51

### Ключи аналоговые

Ключ аналоговый – это функциональная ячейка, выполняющая функцию коммутации аналогового сигнала. Имя аналогового ключа совпадает с обозначением его типа.

Имя	Функция	Страница
<b>SWE</b>	ключ с управлением высоким уровнем	3-53
<b>SWT</b>	ключ с управлением низким уровнем	3-54

### Ячейки доопределения

Ячейка доопределения – это функциональная ячейка, обеспечивающая доопределение вывода какой-либо библиотечной ячейки до высокого или низкого логического уровня.

Имя	Функция	Страница
<b>DOWN</b>	ячейка доопределения до низкого логического уровня	2-11
<b>UP</b>	ячейка доопределения до высокого логического уровня	2-200

*Специальные функциональные ячейки*

Библиотека базовых функциональных ячеек БМК серий 5503 и 5507 содержит две специальные функциональные ячейки, предназначенные для организации на внешних выводах БИС дополнительных контактов «Общий» и «Питание».

<b>Имя</b>	<b>Функция</b>	<b>Страница</b>
<b>PINGND</b>	периферийная ячейка для создания дополнительного контакта «Общий»	3-53
<b>PINUCC</b>	периферийная ячейка для создания дополнительного контакта «Питание»	3-53