

УТВЕРЖДЕН
ГАВЛ.431260.443 Д-ЛУ

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
Н5503ХМ5-443 АЕЯР.431260.146 ТУ
КАРТА ЗАКАЗА
ГАВЛ.431260.443 Д

| | | | | |
|---------------|----------------|---------------|--------------|----------------|
| Инд. № подлин | Подпись и дата | Взаим. инв. № | Инв. № дубл. | Подпись и дата |
| | | | | |

КОНТРОЛЬНЫЙ
ЭКЗЕМПЛЯР

Перв. примен.
Справка №

1 ОБЩИЕ СВЕДЕНИЯ

1.1 Регистрационный номер карты заказа 443.

1.2 Обозначение микросхемы интегральной (далее микросхемы) в конструкторской документации:

Микросхема H5503XM5-443 АЕЯР.431260.146 ТУ

1.3 Обозначение схемы электрической структурной ГАВЛ.431260.443 Э1

1.4 Обозначение магнитного носителя с результатами проектирования (МНРП)ГАВЛ.431260.443 МД:

Контрольные суммы обязательных файлов на МНРП:

- а) STR-файл Структурное описание проекта БИС 39954
- б) SOU-файл Описание топологии переменного слоя 4523
- в) 000-файл Описание тестовой последовательности 7905
- г) PIN -файл Описание внешних выводов 42152

1.5 Состав, нумерация, обозначение и назначение выводов приведены в таблице 1.

1.6 В настоящей карте заказа в таблице 2 приведены тесты тестовой последовательности 000 с 1 по 48 элементарную проверку включительно. Полное описание тестовой последовательности представлено в файле 000 на МНРП.

1.7 Корпус H18.64-1В.

Подпись и дата
Изм. № дубл.
Взаим. инв. №
Подпись и дата
Изм. № дубл.

| Изм | Лист | № документа | Подпись | Дата |
|-------------|------|-------------|---------|---------|
| | | | | |
| Разработал | | Денисова | | 7.12.10 |
| Проверил | | Коняхин | | 7.12.10 |
| Склонировал | | | | |
| Штамповал | | Емельянов | | |
| Утвердил | | Денисов | | 7.12.10 |

ГАВЛ.431260.443 Д

Микросхема интегральная
H5503XM5-443
АЕЯР.431260.146 Д
Карта заказа

| Литера | Лист | Листов |
|--------|------|--------|
| | 2 | 23 |

2 ТЕХНИЧЕСКОЕ ОПИСАНИЕ

2.1 Наименование микросхемы: тестовая микросхема.

2.2 Функциональное назначение микросхемы.

БИС предназначена для автономной работы, либо работы вместе с процессором 8x196КС (КВ) фирмы Intel, а также аналогами: 1874ВЕ36, 1874ВЕ06Т, 1874ВЕ05Т и т.п. на 16-разрядной мультиплексированной шине. Предусмотрен также режим работы микросхемы на немультимплексированной шине других процессоров.

2.3 Структурная схема приведена на рисунке А.1.

2.4 Микросхема должна удовлетворять требованиям технических условий АЕЯР.431260.146 ТУ (далее по тексту – ТУ) с дополнениями и уточнениями, изложенными в настоящей карте заказа.

2.4.1 Общее количество задействованных выводов микросхемы – 50.

Состав, нумерация, обозначение и назначение задействованных выводов должны соответствовать таблице 1.

В графе "нагрузка" символы "R" указывают выводы, к которым должны быть подключены нагрузочные резисторы во время тестовой проверки работоспособности микросхемы.

Состав и нумерация общего, питающего и незадействованных выводов:

номера общих выводов 32

номера питающих выводов 64

номера незадействованных выводов 8,25-27,40,41,46,51,56-61.

| | |
|----------------|----------------|
| Инь. № подлин | Подпись и дата |
| Взаим. инв. № | Инь. № дубл. |
| Подпись и дата | |

| | | | | | | |
|-----|------|-------------|---------|------|-------------------|------|
| Изм | Лист | № документа | Подпись | Дата | ГАВЛ.431260.443 Д | Лист |
| | | | | | | 3 |

Таблица 1.

| Выводы | | Используемые состояния | | Нагрузка | Назначение |
|--------|----------------------|------------------------|-------|----------|--------------------------------------|
| Но-мер | Условное обозначение | Вход | Выход | | |
| 1 | Ready | | L | U | Готовность данных для процессора |
| 2 | WR | 01 | | | Строб записи |
| 3 | RD | 01 | | | Строб чтения |
| 4 | ALE | 01 | | | Разрешение защёлкивания адреса |
| 5 | CS | 01 | | | Выбор кристалла |
| 6 | A1 | 01 | | | 1-й разряд адреса |
| 7 | A2 | 01 | | | 2-й разряд адреса |
| 9 | AD0 | 01 | LHZ | | 0-й разряд шины адреса/данных |
| 10 | AD1 | 01 | LHZ | | 1-й разряд шины адреса/данных |
| 11 | AD2 | 01 | LHZ | | 2-й разряд шины адреса/данных |
| 12 | AD3 | 01 | LHZ | | 3-й разряд шины адреса/данных |
| 13 | AD4 | 01 | LHZ | | 4-й разряд шины адреса/данных |
| 14 | AD5 | 01 | LHZ | | 5-й разряд шины адреса/данных |
| 15 | AD6 | 01 | LHZ | | 6-й разряд шины адреса/данных |
| 16 | AD7 | 01 | LHZ | | 7-й разряд шины адреса/данных |
| 17 | AD8 | 01 | LHZ | | 8-й разряд шины адреса/данных |
| 18 | AD9 | 01 | LHZ | | 9-й разряд шины адреса/данных |
| 19 | AD10 | 01 | LHZ | | 10-й разряд шины адреса/данных |
| 20 | AD11 | 01 | LHZ | | 11-й разряд шины адреса/данных |
| 21 | AD12 | 01 | LHZ | | 12-й разряд шины адреса/данных |
| 22 | AD13 | 01 | LHZ | | 13-й разряд шины адреса/данных |
| 23 | AD14 | 01 | LHZ | | 14-й разряд шины адреса/данных |
| 24 | AD15 | 01 | LHZ | | 15-й разряд шины адреса/данных |
| 28 | Finish | | LHz | | Окончание обмена |
| 29 | CLKin | 01 | | | Тактовый вход 1 МГц |
| 30 | Out1M | | LHz | | Выход предделителя частоты (1 МГц) |
| 31 | CLK10 | 0+ | | | Тактовый вход 10 МГц (от процессора) |
| 32 | GND | | | | Вывод питания "Общий" |
| 33 | CS2 | 01 | | | |
| 34 | BL | 01 | | | |
| 35 | WRvRD | 01 | | | |
| 36 | CS2out | | LHz | | |
| 37 | WRout | | LHz | | |
| 38 | RDout | | LHz | | |
| 39 | BLO | | LHz | | |

| | | | | |
|---------------|----------------|--|--|--|
| Инв. № подлин | Подпись и дата | | | |
| | | | | |
| Инв. № дубл. | Подпись и дата | | | |
| | | | | |
| Взаим. инв. № | Подпись и дата | | | |
| | | | | |
| Инв. № подлин | Подпись и дата | | | |
| | | | | |

| | | | | | | |
|-----|------|-------------|---------|------|--------------------------|------|
| Изм | Лист | № документа | Подпись | Дата | ГАВЛ.431260.443 Д | Лист |
| | | | | | | 4 |

Продолжение таблицы 1.

| Выводы | | Используемые состояния | | Нагрузка | Назначение |
|--------|----------------------|------------------------|-------|----------|------------------------------------|
| Но-мер | Условное обозначение | Вход | Выход | | |
| 42 | DO1 | | L | U | Выходные последовательные данные |
| 43 | CLK1 | 01 | L | U | Тактовый сигнал |
| 44 | DIA1 | 01 | L | U | Переключатель данные/адрес |
| 45 | DI1 | 01 | | | Входные последовательные данные |
| 47 | D02 | | L | U | Выходные последовательные данные |
| 48 | CLK2 | 01 | L | U | Тактовый сигнал |
| 49 | DIA2 | 01 | L | U | Переключатель данные/адрес |
| 50 | DI2 | 01 | | | Входные последовательные данные |
| 52 | DO3 | | L | U | Выходные последовательные данные |
| 53 | CLK3 | 01 | L | U | Тактовый сигнал |
| 54 | DIA3 | 01 | L | U | Переключатель данные/адрес |
| 55 | DI3 | 01 | | | Входные последовательные данные |
| 62 | CLRΝ | 01 | | | Сигнал сброса по включению питания |
| 63 | PULL | 01 | | | Технологический |
| 64 | VCC | | | | Вывод питания +5В |

| | | | | |
|---------------|----------------|---------------|--------------|----------------|
| Инт. № подлин | Подпись и дата | Взаим. инв. № | Инт. № дубл. | Подпись и дата |
| | | | | |

| | | | | |
|-----|------|-------------|---------|------|
| Изм | Лист | № документа | Подпись | Дата |
| | | | | |

ГАВЛ.431260.443 Д

2.5 Микросхема должна выполнять тестовые последовательности элементарных проверок (ТПЭП), представленные в таблице 2 и таблице 3, в режимах и условиях, приведенных в ту и в настоящей карте заказа.

2.5.1 ТПЭП предназначены для проверки функций и параметров микросхемы. Элементарные проверки для измерения статических параметров (токи потребления, выходные напряжения и токи утечки) определяются измерительной системой автоматически при выполнении функционального контроля микросхемы.

2.5.2 ТПЭП представляют собой набор пронумерованных строк. Строки начинаются с номера, который соответствует номеру элементарной проверки (ЭП). Если некоторая элементарная проверка выполняется более одного раза подряд, то номер следующей строки увеличивается на число повторений этой элементарной проверки. Каждая строка определяет состояния всех (кроме общих, питающих и неиспользуемых) выводов проверяемой микросхемы в течение одной элементарной проверки, а каждый столбец - состояние одного вывода в течение всех элементарных проверок.

2.5.3 Общий порядок выполнения одной элементарной проверки:



- 1) определить "входы" и "выходы" среди выводов микросхемы в нулевой момент времени относительно начала элементарной проверки,
- 2) переключить потенциальные и импульсные "входы" в соответствии с установленными для них задержками и длительностями;
- 3) проверить "выходы" с установленными задержками относительно начала элементарной проверки.

| | |
|----------------|----------------|
| Инь. № подлин | Подпись и дата |
| Взаим. инв. № | Инь. № дубл. |
| Подпись и дата | Подпись и дата |

| | | | | |
|-----|------|-------------|---------|------|
| Изм | Лист | № документа | Подпись | Дата |
|-----|------|-------------|---------|------|

ГАВЛ.431260.443 Д

2.5.4 В течение одной элементарной проверки состояние любого вывода представляют одним из следующих условных символов :

- "0" - вход, низкий уровень напряжения;
- "1" - вход, высокий уровень напряжения;
- "-" - вход, импульсное напряжение типа ("  ");
- "+" - вход, импульсное напряжение типа ("  ");
- "X" - выход, непроверяемый;
- "L" - выход, низкий уровень напряжения;
- "H" - выход, высокий уровень напряжения;
- "l" - выход, низкий уровень напряжения с низкой нагрузочной способностью;
- "h" - выход, высокий уровень напряжения с низкой нагрузочной способностью;
- "Z" - выход, непроверяемое высокоимпедансное состояние;
- "u" - выход, высокоимпедансное состояние, высокий уровень напряжения за счет внутреннего резистора.
- "d" - выход, высокоимпедансное состояние, низкий уровень напряжения за счет внутреннего резистора.
- "U" - выход, высокоимпедансное состояние, высокий уровень напряжения за счет внешнего нагрузочного резистора.
- "D" - выход, высокоимпедансное состояние, низкий уровень напряжения за счет внешнего нагрузочного резистора.

2.5.5 Динамические параметры "ЭП" для выполнения тестовой последовательности

Период "ЭП" задан абсолютным значением в секундах, а остальные параметры - в процентах от периода "ЭП":

минимальный период "ЭП", с..... 10E-6
 задержка для проверки выходов..... 90%.

2.5.6 Количество "ЭП" в тестовой последовательности18020

| | |
|----------------|----------------|
| Инь. № подлин | Подпись и дата |
| Взаим. инв. № | Инь. № дубл. |
| Подпись и дата | Подпись и дата |

| | | | | | | |
|-----|------|-------------|---------|------|-------------------|------|
| Изм | Лист | № документа | Подпись | Дата | ГАВЛ.431260.443 Д | Лист |
| | | | | | | 7 |

Таблица 2

| | |
|------------------------------|---|
| НОМЕРА ЭЛЕМЕНТАРНЫХ ПРОВЕРОК | НОМЕРА И СОСТОЯНИЯ ВЫВОДОВ МИКРОСХЕМЫ |
| | 00000000111111111122222233333333334444445555566 123456790123456789012348901345678923457890234523 |

- 0> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 1> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 2> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 3> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 4> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 5> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 6> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 7> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 8> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 9> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 10> U110100XXXXXXXXXXXXXXXXXXXXz0z+000zzzzUUU1UUU1UUU100;
- 11> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 12> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 13> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 14> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 15> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 16> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 17> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 18> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 19> U110100XXXXXXXXXXXXXXXXXXXXH0L+000HHHLUUU1UUU1UUU101;
- 20> U110100ZZZZZZZZZZZZZZZZZZH0L+000HHHLUUU1UUU1UUU101;
- 21> U1101000000000000000000H1L+000HHHLUUU1UUU1UUU101;
- 22> U1101000000000000000000H0L+000HHHLUUU1UUU1UUU101;
- 23> U110100ZZZZZZZZZZZZZZZZZH1L+000HHHLUUU1UUU1UUU101;
- 24> U110100ZZZZZZZZZZZZZZZZZH0L+000HHHLUUU1UUU1UUU101;
- 25> U110100ZZZZZZZZZZZZZZZZZH1L+000HHHLUUU1UUU1UUU101;
- 26> U110100ZZZZZZZZZZZZZZZZZH0L+000HHHLUUU1UUU1UUU101;
- 27> U110100ZZZZZZZZZZZZZZZZZH1L+000HHHLUUU1UUU1UUU101;
- 28> U1101000000000111000000H0L+000HHHLUUU1UUU1UUU101;
- 29> U1101000000000111000000H1L+000HHHLUUU1UUU1UUU111;
- 30> L1111000000000111000000H0L+001HHHLUUU1UUU1UUU111;
- 31> L1111000000000111000000H1L+000HHHLUUU1UUU1UUU111;
- 32> L1111000000000111000000H0L+100HHHLUUU1UUU1UUU111;
- 33> U1101000000000111000000H1H+101HHHLUUU1UUU1UUU111;
- 34> U1101000000000000000000H0H+100HHHLUUU1UUU1UUU111;
- 35> U0101000000000000000000H1H+110LHLHUUU1UUU1UUU111;
- 36> U0101000000000000000000H0H+111LLHHUUU1UUU1UUU111;
- 37> U0101000000000000000000H1H+110LHLHUUU1UUU1UUU111;
- 38> U1101000000000000000000H0L+110LHLHUUU1UUU1UUU111;
- 39> U1101000000000000000000H1L+111LLHHUUU1UUU1UUU111;
- 40> U0101000000000000000000H0L+110LHLHUUU1UUU1UUU111;
- 41> U0101000000000000000000H1L+010HHHHUUU1UUU1UUU111;
- 42> U0101000000000000000000H0L+011HHHHUUU1UUU1UUU111;
- 43> U1101000000000000000000H1H+010HHHHUUU1UUU1UUU111;
- 44> U1101001000000000000000H0H+000HHHLUUU1UUU1UUU111;
- 45> U0101001000000000000000H1H+001HHHLUUU1UUU1UUU111;
- 46> U0101001000000000000000H0H+000HHHLUUU1UUU1UUU111;
- 47> U0101001000000000000000H1H+000HHHLUUU1UUU1UUU111;
- 48> U1101001000000000000000H0L+000HHHLUUU1UUU1UUU111;

| | | | | |
|---------------|----------------|---------------|--------------|----------------|
| Инь. № подлин | Подпись и дата | Взаим. инв. № | Инь. № дубл. | Подпись и дата |
| | | | | |

3 ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ И РЕЖИМЫ

3.1 Электрические параметры микросхемы, режимы и условия их измерений должны соответствовать ТУ.

3.2 Контроль качества микросхемы выполнять по ТУ в режимах и условиях, указанных в таблице норм ГАВЛ.431260.017 ТБ с дополнениями и уточнениями, приведенными в настоящем разделе.

3.2.1 Функциональный контроль выполнять в соответствии с таблицей 2.

При этом на входах 02,03,04,05,06,07,09,10,11,12,13,14,15,16,17,18,19,20, 21,22,23,24,29,31,33,34,35,45,50,55,62 имеющих триггера Шмитта ТТЛ-уровня, при напряжении питания 4,5 В установить значение низкого уровня 400 мВ и значение высокого уровня 2500 мВ, а при напряжении питания 5,5 В соответственно 400 мВ и 3500 мВ.

3.2.2 Измерение выходного напряжения низкого уровня (U_{OL}) и высокого уровня (U_{OH}) микросхемы выполнять в соответствии с таблицей 2 по методике, приведенной в ТУ. При этом на входах 02,03,04,05,06,07,09,10,11,12,13,14, 15,16,17,18,19,20,21,22,23,24,29,31,33,34,35,45,50,55,62 имеющих триггера Шмитта ТТЛ-уровня, установить значение низкого уровня 400 мВ и значение высокого уровня 2500 мВ.

3.2.3 Ток потребления (I_{CC}) измерять после 10 элементарной проверки.

3.2.4 Измерение токов утечки I_{LL} и I_{LH} по безусловным входам выполнять на любой элементарной проверке в соответствии с таблицей 2.

3.2.5 Измерение выходных токов I_{OZL} , I_{OZH} на выводах, которые находятся в состоянии "ВЫКЛЮЧЕНО" при напряжениях низкого и высокого уровня выполнять на любой элементарной проверке в соответствии с таблицей 2 по методике, приведенной в ТУ.

3.3 Испытания микросхемы на воздействие повышенной рабочей температуры среды, пониженного атмосферного давления, акустического шума, инея и росы, безотказность, долговечность, виброустойчивость, граничные испытания, влагоустойчивость и электротренировки (ЭТТ) проводить по методике, приведенной в ТУ.

3.4 До освоения в серийном производстве приемку и отгрузку микросхемы проводить по результатам приемно-сдаточных испытаний в соответствии с настоящей картой заказа и ТУ.

3.5 В соответствии с РД 110755 допускается проведение ускоренных испытаний на безотказность и долговечность.

| | |
|----------------|--|
| Подпись и дата | |
| Инв. № дубл. | |
| Взаим. инв. № | |
| Подпись и дата | |
| Инв. № подлин | |

| | | | | | | |
|-----|------|-------------|---------|------|--------------------------|------|
| | | | | | ГАВЛ.431260.443 Д | Лист |
| | | | | | | 9 |
| Изм | Лист | № документа | Подпись | Дата | | |

Приложение А
(обязательное)
Техническое описание микросхемы

А1 Назначение микросхемы

БИС предназначена для работы вместе с процессором 8x196КС (КВ) фирмы Intel, а также аналогами: 1874ВЕ36, 1874ВЕ06Т, 1874ВЕ05Т и т.п. на 16-разрядной мультиплексированной шине. Предусмотрен также режим работы микросхемы на немультимплексированной шине других процессоров.

Микросхема выполняет следующие основные функции:

- Выдает записанные по параллельной шине данные в 3 последовательных канала по протоколу, совместимому с БИС Н5503ХМ2-142, Н5503ХМ2-344.
- Принимает ответные последовательные данные по трём последовательным каналам.

А.2 Состав микросхемы

А.2.1 Микросхема состоит из следующих составных частей:

- Узел передатчика
- Три одинаковых независимых узла приёмника
- Интерфейс параллельной шины
- Предделитель (на структурной схеме не показан)

А.2.2 Структурная схема приведена на рисунке А.1.

| | |
|----------------|----------------|
| Инь. № подлин | Подпись и дата |
| Взаим. инв. № | Инь. № дубл. |
| Подпись и дата | Подпись и дата |

| | | | | | | |
|-----|------|-------------|---------|------|--------------------------|------|
| | | | | | ГАВЛ.431260.443 Д | Лист |
| Изм | Лист | № документа | Подпись | Дата | | 11 |

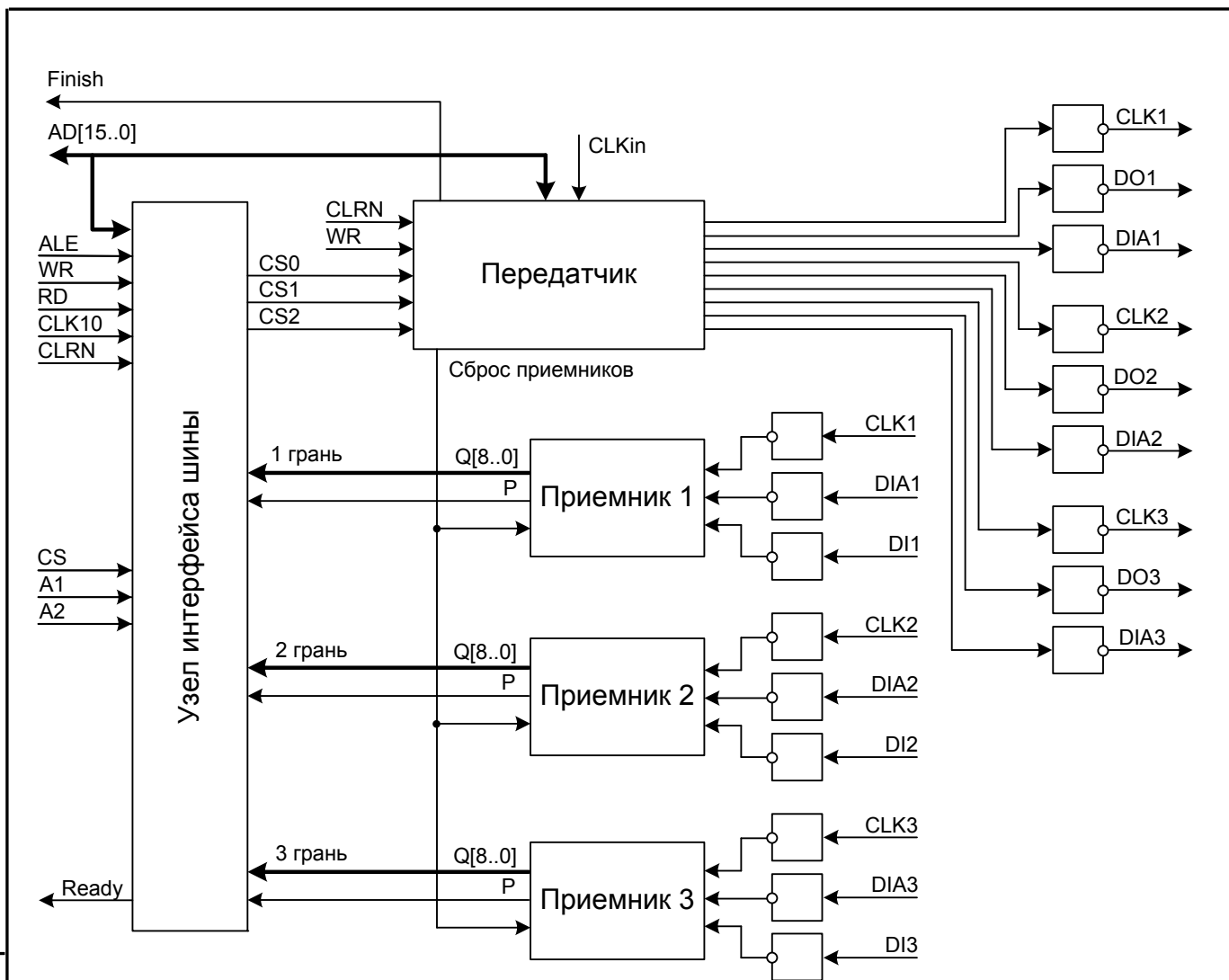


Рисунок А.1 - Структурная схема H5503XM5-443

А.3 Описание работы

А.3.1. Описание последовательного протокола обмена

Протокол совпадает с последовательным протоколом БИС H5503XM2-344 и совместим с последовательным протоколом БИС H5503XM2-142. Отличие от протокола H5503XM2-142 состоит в добавлении одного разряда адреса (было 7 разрядов — A0 ... A6, добавлен A7). Разряд A7 добавлен в начало кадра. БИС H5503XM2-142 и H5503XM2-344 являются ведомыми абонентами интерфейса. Данная БИС является задатчиком линии.

Полное описание интерфейса.

1. Канал использует 4 линии:

| | |
|----------------|--|
| Подпись и дата | |
| Инв. № дубл. | |
| Взаим. инв. № | |
| Подпись и дата | |
| Инв. № подлин | |

| | | | | |
|-----|------|-------------|---------|------|
| Изм | Лист | № документа | Подпись | Дата |
| | | | | |

| На стороне задатчика линии | | На стороне ведомых абонентов | |
|----------------------------|---------------------------------|------------------------------|---------------------------------|
| Обозн. | Назначение | Обозн. | Назначение |
| CLK | тактовый сигнал (выход) | CLK | тактовый сигнал (вход) |
| DO | выходные данные (инвертированы) | DI | входные данные (инвертированы) |
| DIA | данные/адрес (выход). | DIA | данные/адрес (вход). |
| DI | входные данные (инвертированы) | DO | выходные данные (инвертированы) |

2. Тактовая частота на линии CLK большую часть времени присутствует постоянно. В случае, если на линии присутствует несколько задатчиков, они выдают свои сигналы открытым коллектором (либо открытым стоком), и возможно пропадание тактового сигнала при передаче управления шиной от одного задатчика к другому. Пропадание не может произойти во время кадра обмена. Время пропадания — не ограничено; при пропадании тактового сигнала на линии CLK остаётся высокий уровень.

Номинальная тактовая частота CLK — 1 МГц. Данная БИС протестирована на частоту до 4 МГц для возможных будущих модификаций интерфейса.

3. Входные сигналы ведомого абонента (выходные сигналы задатчика) изменяются одновременно с нарастающим фронтом CLK, а защёлкиваются по спадающему. Ответные данные изменяются по спадающему фронту CLK, а фиксируются в приёмном регистре задатчика — по следующему спадающему.

4. Адрес (за исключением разряда A7) и данные передаются начиная с младшего разряда. Общая длина кадра обмена — 19 разрядов.

5. Первые 9 разрядов передаваемой информации имеют следующее значение:

- разряды 1..8 — 8-разрядный адрес ячейки, к которой происходит обращение. Передаются в порядке: A7, A0, A1, A2, A3, A4, A5, A6;
- разряд 9 (R/-W) — тип операции: запись при низком уровне или чтение при высоком уровне;
- разряд 10 (P1) — дополнение до нечётности (см. пояснение ниже) разрядов A0-A7 и R/-W.

6. При записи (R/-W — низкий) следующие 8 разрядов (D0 ... D7) — это данные для записи, и последний разряд (P2) — дополнение до нечётности 8 разрядов данных. Данные записываются в ячейку назначения, если совпал адрес, R/-W — низкий, и условия чётности полей адреса и данных выполнены.

Замечание по поводу контроля чётности (нечётности).

Идеология контроля чётности выбрана исходя из того, чтобы состояние обрыва линии давало неверный результат контроля чётности. Обрыв линии — состояние высокого уровня. Данные в линии инвертированы по отношению к тем, которые записывает и читает вычислитель (задатчик линии). Соответственно, в вычислителе аппаратно выполняется дополнение до нечётности как группы адреса (первые 10 разрядов кадра), так и группы данных (вторые 9 разрядов кадра). В линии это выглядит так, что в каждой группе

| | | | | |
|---------------|----------------|---------------|--------------|----------------|
| Инь. № подлин | Подпись и дата | Взаим. инв. № | Инь. № дубл. | Подпись и дата |
| | | | | |

| | | | | | | |
|-----|------|-------------|---------|------|--------------------------|------|
| Изм | Лист | № документа | Подпись | Дата | ГАВЛ.431260.443 Д | Лист |
| | | | | | | 13 |

присутствует нечётное число разрядов низкого уровня. То же относится и к ответным данным (9 разрядов).

7. В качестве подтверждения успешной записи в адресуемую ячейку ведомый абонент отдаёт задатчику квитанцию длительностью 1 бит по линии ответных данных DO. Положение фронтов квитанции должно соответствовать п. 3.

8. При чтении (R/-W — высокий) после распознавания адреса, приёма бита R/W и проверки чётности начиная с ближайшего спадающего фронта CLK на выход DO выдаются 8 разрядов данных (D0 ... D7) и бит дополнения их до нечётности (P2) («нечётность» — аналогично п. 6).

9. Сигнал "данные/адрес" имеет высокий уровень при передаче адреса и низкий уровень при передаче данных. Изменение уровня сигнала DIA происходит перед битами чётности P1 и P2.

10. Информация, выдаваемая задатчиком в поле данных в кадре чтения, игнорируется ведомым абонентом (обычно задатчик выдаёт нули, т.е. в линии высокий уровень, а затем следует дополнение до нечётности).

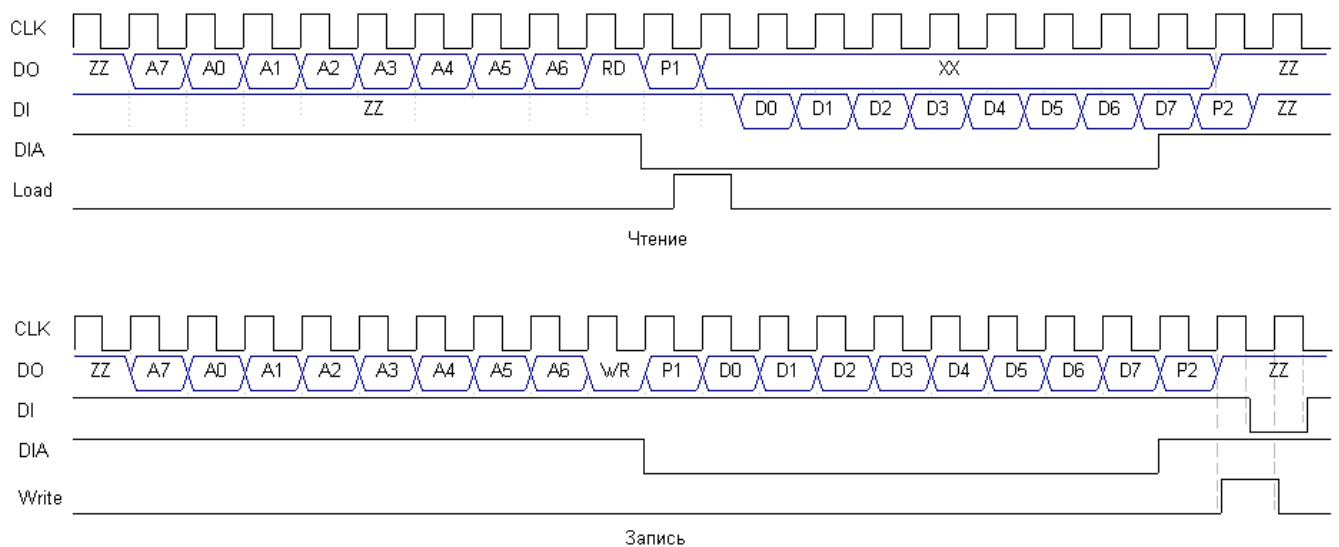


Рисунок 2

На рисунке 2: Load — внутренний сигнал чтения ведомого абонента; Write — внутренний сигнал записи ведомого абонента. Обозначения сигналов DI и DO указаны для задатчика шины.

А.3.2. Функционирование отдельных узлов

А.3.2.1. Интерфейс параллельной шины

А.3.2.1.1. БИС работает с мультиплексированной шиной адреса/данных AD[15..0]. По шине сначала передаётся адрес, сопровождаемый высоким уровнем сигнала ALE (Address Latch Enable — разрешение защёлкивания адреса). Затем по шине передаются данные от процессора, сопровождаемые низким уровнем сигнала WR (запись), либо к процессору, сопровождаемые

| |
|----------------|
| Подпись и дата |
| Инв. № дубл. |
| Взаим. инв. № |
| Подпись и дата |
| Инв. № подлин |

| | | | | |
|-----|------|-------------|---------|------|
| Изм | Лист | № документа | Подпись | Дата |
|-----|------|-------------|---------|------|

низким уровнем сигнала RD (чтение). В связи с тем, что адрес, выставляемый на шину, всегда чётный, дешифровать младший бит не требуется.

Отличия при работе с немультимплексированной шиной см. п. А.3.2.1.6.

А.3.2.1.2. Данная БИС работает с шиной только по четырём адресам — 0380h, 0382h, 0384h, 0386h.

При записи и чтении по этим адресам отдельные биты имеют следующие значения:

Адрес 380h (только запись): запись регистра доступных граней.

| Бит № | Обозначение | Назначение |
|----------|-------------|--|
| 0 | CMask1 | Включение тактовой частоты на 1-м канале |
| 1 | CMask2 | Включение тактовой частоты на 2-м канале |
| 2 | CMask3 | Включение тактовой частоты на 3-м канале |
| 3 ... 15 | | Не используется |

Адрес 382h (только запись): запись регистра требуемых шин

| Бит № | Обозначение | Назначение |
|----------|-------------|----------------------------------|
| 0 | DMask1 | Разрешение обмена по 1-му каналу |
| 1 | DMask2 | Разрешение обмена по 2-му каналу |
| 2 | DMask3 | Разрешение обмена по 3-му каналу |
| 3 | WR/RD | 0 – чтение, 1 - запись. |
| 4 ... 15 | | Не используется |

Адрес 384h, запись: данные и адрес для обмена

| Бит № | Обозначение | Назначение |
|-------|-------------|---|
| 7..0 | A7..A0 | Адрес ВУ |
| 15..8 | D7..D0 | Данные для записи в ВУ (если чтение, записывать 0). |

Адрес 384h, чтение: результаты обмена

| Бит № | Обозначение | Назначение |
|-------|-------------|---|
| 7..0 | Q7..Q0 (1) | Данные, полученные от ВУ по 1-му каналу (1-й грани) |
| 15..8 | Q7..Q0 (2) | Данные, полученные от ВУ по 2-му каналу (2-й грани) |

Адрес 386h, чтение: результаты обмена

| Бит № | Обозначение | Назначение |
|-------|-------------|---|
| 7..0 | Q7..Q0 (3) | Данные, полученные от ВУ по 3-му каналу (3-й грани) |
| 8 | Pinp1 | Результат контроля чётности данных, полученных от ВУ по 1-му каналу |
| 9 | Pinp2 | Результат контроля чётности данных, полученных от ВУ по 2-му каналу |

| | | | | | |
|-----|------|-------------|---------|------|------|
| Изм | Лист | № документа | Подпись | Дата | Лист |
| | | | | | |

| CS | A1 | A2 | CS0 | CS1 | CS2 | CS23 | Addr1 |
|----|----|----|--------------------------------|-----|-----|------|-------|
| 1 | x | x | Согласно таблице в п А.3.2.1.3 | | | | |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 1 |

При использовании БИС на мультиплексированной шине используется сигнал ALE для защёлкивания адреса, а на вход CS снаружи подаётся постоянный высокий уровень. При использовании БИС на немultipлексированной шине для выбора БИС используется CS, а на вход ALE снаружи подаётся постоянный низкий уровень. Сигнал Ready используется только с мультиплексированной шиной.

А.3.3. Узел передатчика

По командам процессора передатчик формирует кадр обмена в соответствии с описанным выше протоколом по любой выбираемой процессором комбинации из трёх каналов.

Исходное состояние передатчика — такое же как по окончании кадра обмена (счётчик кадра "залип" в конечном положении). Для обмена сначала записываются регистры масок. Затем подаётся команда на обмен, в которой записываются адрес внешнего устройства и данные для него. По этой команде счётчик кадра обнуляется и начинает счёт. В процессе счёта разворачивается кадр обмена в соответствии с протоколом. Биты дополнения групп адреса и данных до нечётности формируются в процессе сдвига данных.

Передатчик использует только один тактовый сигнал CLKin.

А.3.3.1. Используемые сигналы:

Входные сигналы:

- AD[15..0] — Шина данных;
- WR — Строб записи;
- CS0 — Разрешение записи CMask;
- CS1 — Разрешение записи DMask;
- CS2 — Разрешение записи команды на обмен;
- CLKin — Входной тактовый сигнал;
- CLRN — Приведение в исходное состояние;

Выходные сигналы:

| | |
|----------------|--|
| Подпись и дата | |
| Инв. № дубл. | |
| Взаим. инв. № | |
| Подпись и дата | |
| Инв. № подлин | |

Fin — Признак окончания обмена;
 CLK1, DO1, DIA1 — Выходные сигналы 1-го канала;
 CLK2, DO2, DIA2 — Выходные сигналы 2-го канала;
 CLK3, DO3, DIA3 — Выходные сигналы 3-го канала;
 RcvCLRN — Приведение приёмников в исходное состояние.

Выходные сигналы CLK1..3, DO1..3, DIA1..3 перед выдачей в линию инвертируются. Инверторы находятся вне описываемого узла передатчика (см. структурную схему).

А.3.3.2. В исходном состоянии (т.е. по уровню CLRN=0) устанавливаются:

CMask[3..1] = 0;
 DMask[3..1] = 0;
 Счётчик кадра (5 разрядов) = 31;
 Fin = 1;
 CLK1..3, DO1..3, DIA1..3 — нули.

А.3.3.3. По низкому уровню сигнала WR при наличии разрешающего сигнала CS0 в регистр CMask записывается значение с шины: CMask[3..1] ← AD[2..0]. Допускается запись по нарастающему фронту сигнала WR. После этой записи выходные тактовые сигналы CLK1, CLK2, CLK3 появляются немедленно:

CLK1 = CLKin & CMask1;
 CLK2 = CLKin & CMask2;
 CLK3 = CLKin & CMask3;

А.3.3.4. По низкому уровню сигнала WR при наличии разрешающего сигнала CS1 в регистр DMask и защёлку WR_RD записывается значение с шины:

DMask[3..1] ← AD[2..0];
 WR_RD ← AD[3].

Допускается запись по нарастающему фронту сигнала WR. Никаких немедленных действий не выполняется. Эти 4 записанных разряда сохраняются для дальнейшего формирования кадра.

А.3.3.5. По низкому уровню сигнала WR при наличии разрешающего сигнала CS2 выполняется асинхронная загрузка 18-разрядного сдвигового регистра так, чтобы в процессе его сдвига начиная с младшего разряда данные выдвигались в соответствии с протоколом, т.е. заносятся значения:

- адреса внешнего устройства из разрядов шины AD[7], AD[6..0];
- бита запись/чтение из промежуточной защёлки WR_RD;
- оставляется место (заносятся ноль) для бита дополнения до нечётности;
- данных для внешнего устройства из разрядов AD[15..8];
- для оставшегося бита дополнения до нечётности группы данных место не требуется, т.к. регистр при сдвиге заполняется нулями.

Счётчик кадра обнуляется, признак окончания обмена Fin обнуляется, триггер подсчёта дополнения до нечётности P1 устанавливается в "1". Формируется низким уровнем сигнал приведения приёмников в исходное состояние RcvCLRN = (CS2 & WR).

| | |
|---------------|----------------|
| Инв. № подлин | Подпись и дата |
| | Инв. № дубл. |
| Взаим. инв. № | Подпись и дата |
| | Инв. № дубл. |

| | | | | |
|-----|------|-------------|---------|------|
| Изм | Лист | № документа | Подпись | Дата |
|-----|------|-------------|---------|------|

А.3.3.6. Счётчик кадра начинает считать по спадающим фронтам CLK_{in}. Дойдя до последнего значения (31) счётчик залипает в этом состоянии. По следующему после этого спадающему фронту CLK_{in} устанавливается триггер Fin.

А.3.3.7. Внутренний сигнал разрешения сдвига Shift формируется триггером по нарастающим фронтам CLK_{in} в диапазоне значений счётчика кадра 1..21.

Внутренний сигнал DIA формируется триггером по нарастающим фронтам CLK_{in} в диапазоне значений счётчика кадра 10..18.

Внутренний сигнал разрешения выдачи битов чётности P_{out} формируется триггером по нарастающим фронтам CLK_{in} при значениях счётчика кадра 10 и 19.

А.3.3.8. Регистр сдвигается по нарастающим фронтам CLK_{in} при наличии разрешающего сигнала Shift.

Внутренний сигнал DO формируется из младшего разряда сдвигового регистра Reg0.Q с учётом подстановки бита дополнения до нечётности:

$$DO = \text{Reg0.Q} \& \text{Shift} \vee P1 \& P_{\text{out}}$$

Триггер дополнения до нечётности подсчитывает выдвигаемые данные по нарастающим фронтам CLK_{in} при наличии разрешающего сигнала Shift и устанавливается в "1" после очередной выдачи (P_{out}):

$$\text{Следующее значение } P1 = (P1 + DO) \vee P_{\text{out}}$$

Здесь "+" — сумма по модулю 2.

А.3.3.9. Выходные сигналы DO_{1..3} и DIA_{1..3} получаются из внутренних сигналов DO и DIA с учётом наложения масок CMask и DMask, а также протактированные по спадающим фронтам CLK_{in}:

| Выходной сигнал узла передатчика | Сигнал на входе триггера |
|----------------------------------|---|
| DO _i | DO & DMask _i & CMask _i |
| DIA _i | DIA & DMask _i & CMask _i |

А.3.4. Узел приёмника

Приёмник находится в режиме постоянного прослушивания линии. После приведения его (точнее, его триггера подсчёта чётности) в исходное состояние приёмник принимает от внешнего устройства ответные данные, либо квитанцию записи. Для приёма используются **только сигналы из линии передачи**, поэтому приём осуществляется одинаково, независимо от того, сформировал ли запросный кадр передатчик данной БИС, либо другой, подсоединённой к линии параллельно.

А.3.4.1. Используемые сигналы.

Входные сигналы:

CLK — Входной тактовый сигнал (из линии);

| | |
|----------------|--|
| Подпись и дата | |
| Инв. № дубл. | |
| Взаим. инв. № | |
| Подпись и дата | |
| Инв. № подлин | |

| | | | | | | |
|-----|------|-------------|---------|------|-------------------|------|
| | | | | | ГАВЛ.431260.443 Д | Лист |
| | | | | | | 19 |
| Изм | Лист | № документа | Подпись | Дата | | |

- CLRN — Приведение в исходное состояние (сигнал RcvCLRN от передатчика);
- DI — Ответные данные от внешнего устройства (из линии);
- DIA — Переключатель Данные/Адрес (из линии).

Входные сигналы CLK, DIA, DI после приёма из линии инвертируются. Инверторы находятся вне описываемого узла приёмника (см. структурную схему).

Выходные сигналы:

- Q[8..0] — Принятые данные;
- P — Результат контроля чётности.

А.3.4.2. Приёмник принимает данные со входа DI в 9-разрядный сдвиговый регистр (выходы регистра — Q[8..0]). Данные заносятся в регистр начиная со старшего разряда. Сдвиг происходит по нарастающим фронтам сигнала CLK использованием двух разрешающих сигналов: Shift (собственный сигнал, не совпадает с одноимённым сигналом передатчика) и S1.

А.3.4.3. Приёмник не содержит счётчика принятых битов, и определяет границы данных в кадре по сигналу DIA. Для этого используются 2 триггера, задерживающие сигнал DIA на такт (S0) и на 2 такта (S1). Триггеры тактируются положительными фронтами CLK. Сигнал Shift, также тактируемый положительными фронтами CLK, реализуется на синхронном RS-триггере и устанавливается по условию $S0 \& \neg S1$, сбрасывается по условию $\neg S1 \& \neg S0$.

А.3.4.4. Сдвиг всех разрядов регистра кроме старшего разрешается сигналом S1. Сдвиг старшего разряда — сигналом Shift, который длится на 1 такт дольше. В результате в последнем разряде регистра помещается квитанция записи внешнего устройства.

А.3.5. Пределитель

Представляет собой счетчик-делитель частоты на 10, устанавливаемый в 0 сигналом CLRN=0.

Вход — сигнал CLK10 (10 МГц), выход — Out1M (1 МГц). Сигнал на выходе Out1M должен иметь скважность 2 (меандр). Начальная фаза выходного сигнала после установки счётчика в ноль значения не имеет.

А.3.6. Дополнительные сигналы.

БИС содержит комбинационную схему, никак не связанную с остальными узлами.

Используются следующие входы и выходы:

| | |
|----------------|--|
| Подпись и дата | |
| Инв. № дубл. | |
| Взаим. инв. № | |
| Подпись и дата | |
| Инв. № подлин | |

| | | | | | | | |
|-----|------|-------------|---------|------|--|--------------------------|------|
| | | | | | | ГАВЛ.431260.443 Д | Лист |
| | | | | | | | 20 |
| Изм | Лист | № документа | Подпись | Дата | | | |

| № вывода | Тип | Обозначение | Назначение |
|----------|-------|-------------|--------------------|
| 33 | Вход | CS2 | Выбор кристалла |
| 34 | Вход | BL | Захват шины |
| 35 | Вход | WRvRD | Чтение /запись |
| 36 | Выход | CS2out | Выбор кристалла |
| 37 | Выход | WRout | Запись |
| 38 | Выход | RDout | Чтение |
| 39 | Выход | BLO | Выход захвата шины |

Входы и выходы соединены согласно рисунку 3

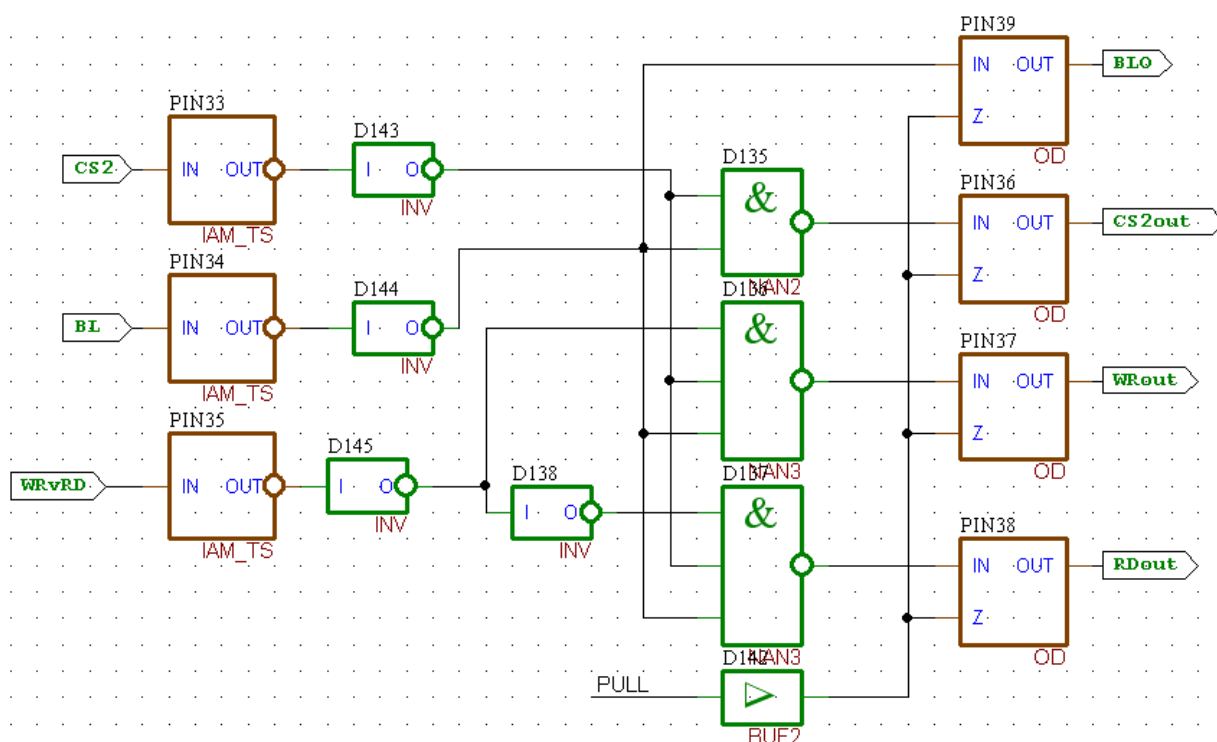


Рисунок 3

А.3.7. Входы общего назначения

А.3.7.1. Вход PULL — технологический. Предназначен для измерения утечек при тестировании БИС. Низкий уровень на этом входе переводит все выводы БИС в высокоимпедансное состояние. При высоком уровне на этом входе — нормальное функционирование БИС.

А.3.8 . Особенности реализации входов и выходов.

А.3.8.1. Выводы микросхемы WR, RD, ALE, CS, A1, A2, AD0, AD1, AD2, AD3, AD4, AD5, AD6, AD7, AD8, AD9, AD10, AD11, AD12, AD13, AD14, AD15, CLKin, CLK10, CS2, BL, WRvRD, DO1, CLK1, DIA1, DI1, DO2, CLK2, DIA2, DI2, DO3, CLK3, DIA3, DI3, CLRN имеют триггера Шмитта TTL-уровня с

| | |
|----------------|--|
| Подпись и дата | |
| Инв. № дубл. | |
| Взаим. инв. № | |
| Подпись и дата | |
| Инв. № подлин | |

| | | | | |
|-----|------|-------------|---------|------|
| Изм | Лист | № документа | Подпись | Дата |
|-----|------|-------------|---------|------|

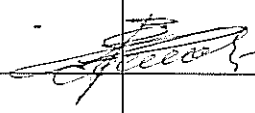
гистерезисом от 1,4В до 1,6В при нормальных условиях.
 А.3.8.2. Выводы микросхемы CS2, BL, WRvRD, DI1, DI2, DI3 не имеют верхних защитных диодов.

| | | | | |
|---------------|----------------|---------------|--------------|----------------|
| Инв. № подлин | Подпись и дата | Взаим. инв. № | Инв. № дубл. | Подпись и дата |
| | | | | |

| | | | | |
|-----|------|-------------|---------|------|
| | | | | |
| Изм | Лист | № документа | Подпись | Дата |

ГАВЛ.431260.443 Д

Лист регистрации изменений

| Изм | Номера листов (страниц) | | | | Всего листов (страниц) в документе | № документа | Входящий № сопроводительного документа и дата | Подпись | Дата |
|-----|-------------------------|------------|-------|---------------|------------------------------------|-----------------|---|---|----------|
| | Измененных | Замененных | Новых | Анулированных | | | | | |
| 1 | - | 1 | - | - | 23 | ГАВЛ.431260.443 | - |  | 21.02.13 |
| | | | | | | | | | |

| | | | | |
|-----------------|----------------|--------------|--------------|----------------|
| Изм. № по листу | Подпись и дата | Взам. инв. № | Инв. № дубл. | Подпись и дата |
| | | | | |

| | | | | | |
|-----|------|-------------|---------|------|------------|
| Изм | Лист | № документа | Подпись | Дата | Лист 23 |
| | | | | | |

ГАВЛ.431260.443 Д