

УТВЕРЖДЕН
ГАВЛ.431260.343 Д-ЛУ

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
Н5503ХМ5-343 АЕЯР.431260.146 ТУ
КАРТА ЗАКАЗА
ГАВЛ.431260.343 Д

Инд. № подлин	Подпись и дата
Взаим. инв. №	Инд. № дубл.
Подпись и дата	Подпись и дата

**КОНТРОЛЬНЫЙ
ЭКЗЕМПЛЯР**

Перв. примен.	1. ОБЩИЕ СВЕДЕНИЯ						
Справка №	<p>1.1 Регистрационный номер карты заказа 343.</p> <p>1.2 Обозначение микросхемы интегральной (далее микросхемы) в конструкторской документации: Микросхема Н5503ХМ5-343 АЕЯР.431260.146 ТУ</p> <p>1.3 Обозначение схемы электрической структурной ГАВЛ.431260.343 Э1</p> <p>1.4 Обозначение магнитного носителя с результатами проектирования (МНРП)ГАВЛ.431260.343 МД: Контрольные суммы обязательных файлов на МНРП: а) STR-файл Структурное описание проекта БИС15247 б) SOU-файл Описание топологии переменного слоя 23857 в) TST-файл Описание воздействий и реакций20355 г) PIN-файл Описание внешних выводов.....52590 д) SOU-файл Описание топологии переменного слоя.....19294 е) 000-файл Описание тестовой последовательности47113 ж) 100-файл Описание тестовой последовательности.....58873</p> <p>1.5 В настоящем экземпляре карты заказа в таблице 2 приведены тесты с 1 по 44 элементарную проверку включительно. Полное описание тестовой последовательности представлено в TES -файле на МНРП.</p> <p>1.6 Корпус Н18.64-1В.</p>						
Подпись и дата	Подпись и дата	Изм. № дубл.					
Взам. инв. №							
Подпись и дата							
Инв. № годичн.	ГАВЛ.431260.343 Д						
	Изм	Лист	№ документа	Подпись	Дата		
	Разработал		Фомин	<i>Фомин</i>	02.11.07		
	Проверил		Дорский	<i>Дорский</i>	02.11.07		
	Н. контроль		Сидорина				
	Микросхема интегральная Н5503ХМ5-343 АЕЯР.431260.146 ТУ Карта заказа				Литера	Лист	Листов
						1	25

2. ТЕХНИЧЕСКОЕ ОПИСАНИЕ

2.1. Наименование микросхемы.

Дешифратора команд.

2.2. Функциональное назначение микросхемы.

БИС предназначена для приёма, накопления, дешифрации и выдачи команд управления питанием системы управления космическими аппаратами.

2.3. Структурная схема приведена в Приложении А. Техническое описание структурной схемы, режимов и временных диаграмм работы микросхемы представлены в Приложении А к настоящей карте заказа.

2.4. Микросхема должна удовлетворять требованиям технических условий АЕЯР.431260.146 ТУ (далее по тексту – ТУ) с дополнениями и уточнениями, изложенными в настоящей карте заказа.

2.4.1. Общее количество задействованных выводов микросхемы – 64.

Состав, нумерация, обозначение и назначение задействованных выводов должны соответствовать таблице 1.

Состав и нумерация общего, питающего и незадействованных выводов:

номер общего вывода	32
номер питающего вывода	64
номера незадействованных выводов	нет

Инов. № дубли.	Подпись и дата
Инов. инв. №	Подпись и дата
Инов. № подлин.	Подпись и дата

					ГАВЛ.431260.343 Д	Лист
Изм	Лист	№ документа	Подпись	Дата		3

Таблица 1

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
1	XIN	+			Вывод генератора для присоединения кварцевого резонатора
2	XOUT		h		Вывод генератора для присоединения кварцевого резонатора
3	L0	01			Дополнительная команда
4	L1	01			Дополнительная команда
5	CLRMOD	01			CLRMOD=1+ CLRN → в RG1 80h
6	CLRN	01			Сброс
7	RD	01			Строб чтения
8	WR	01			Строб записи
9	A7	01			7-й разряд шины адреса
10	A6	01			6-й разряд шины адреса
11	A5	01			5-й разряд шины адреса
12	A4	01			4-й разряд шины адреса
13	A3	01			3-й разряд шины адреса
14	A2	01			2-й разряд шины адреса
15	A1	01			1-й разряд шины адреса
16	A0	01			0-й разряд шины адреса
17	D7	01	LHzZ		7-й разряд шины данных
18	D6	01	LHzZ		6-й разряд шины данных
19	D5	01	LHzZ		5-й разряд шины данных
20	D4	01	LHzZ		4-й разряд шины данных
21	D3	01	LHzZ		3-й разряд шины данных
22	D2	01	LHzZ		2-й разряд шины данных
23	D1	01	LHzZ		1-й разряд шины данных
24	D0	01	LHzZ		0-й разряд шины данных
25	ACK		LHz		Подтверждение операции на шине
26	ICB16	+			Промежуточный вход делителя(T2), 2 Гц
27	S16		LHz		Промежуточный выход делителя(T2), 2 Гц
28	F1K	+			Промежуточный вход, 1 кГц
29	OUTF1K		LHz		Промежуточный выход делителя, 1 кГц
30	SELF	01			Выбор такт. частоты 0=8 МГц, 1=4 МГц.
31	PULL	01			Технологический
32	GND				Общий

Подпись и дата

Инв. № дубл.

Взаим. инв. №

Подпись и дата

Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

ГАВЛ.431260.343 Д

Лист

4

Продолжение таблицы 1

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
33	K0	01			Вход импульсной команды
34	K1	01			Вход импульсной команды
35	K2	01			Вход импульсной команды
36	K3	01			Вход импульсной команды
37	K4	01			Вход импульсной команды
38	K5	01			Вход импульсной команды
39	K6	01			Вход импульсной команды
40	K7	01			Вход импульсной команды
41	G8		LHz		Выходная команда
42	G7		LHz		Выходная команда
43	G6		LHz		Выходная команда
44	G5		LHz		Выходная команда
45	G4		LHz		Выходная команда
46	G3		LHz		Выходная команда
47	G2		LHz		Выходная команда
48	G1		LHz		Выходная команда
49	C1		LHz		Выходная команда
50	C2		LHz		Выходная команда
51	C3		LHz		Выходная команда
52	C4		LHz		Выходная команда
53	C5		LHz		Выходная команда
54	R1		LHz		Выходная команда
55	R2		LHz		Выходная команда
56	R3		LHz		Выходная команда
57	R4		LHz		Выходная команда
58	R5		LHz		Выходная команда
59	R6		LHz		Выходная команда
60	ICB32	+			Промежуточный вход делителя(T3), 2 Гц
61	S32		LHz		Промежуточный выход делителя(T3), 2 Гц
62	ICB64	+			Промежуточный вход делителя(T4), 2 Гц
63	S64		LHz		Промежуточный выход делителя(T4), 2 Гц
64	VCC				Вывод "Питание"

Подпись и дата
Инв. № дубл.
Взаим. инв. №
Подпись и дата
Инв. № подлинн

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

ГАВЛ.431260.343 Д

Лист

5

2.5. Микросхема должна выполнять тестовую последовательность элементарных проверок (ТПЭП), представленную в Таблице 2, в режимах и условиях, приведенных в ТУ и в настоящей карте заказа.

2.5.1. ТПЭП предназначена для проверки функций и параметров микросхемы. Элементарные проверки для измерения статических параметров (токи потребления, выходные напряжения и токи утечки) определяются измерительной системой автоматически при выполнении функционального контроля микросхемы.

2.5.2. ТПЭП представляет собой набор пронумерованных строк. Строки начинаются с номера, который соответствует номеру элементарной проверки (ЭП). Если некоторая элементарная проверка выполняется более одного раза подряд, то номер следующей строки увеличивается на число повторений этой элементарной проверки. Каждая строка определяет состояния всех (кроме общих, питающих и неиспользуемых) выводов проверяемой микросхемы в течение одной элементарной проверки, а каждый столбец - состояние одного вывода в течение всех элементарных проверок.

2.5.3. Общий порядок выполнения одной элементарной проверки.

- 1) определить "входы" и "выходы" среди выводов микросхемы в нулевой момент времени относительно начала элементарной проверки,
- 2) переключить потенциальные и импульсные "входы" в соответствии с установленными для них задержками и длительностями;
- 3) проверить "выходы" с установленными задержками относительно начала элементарной проверки.

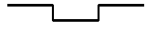
Инов. № подлин	
Подпись и дата	
Взаим. инв. №	
Инов. № дубл.	
Подпись и дата	

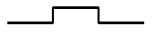
					ГАВЛ.431260.343 Д	Лист
Изм	Лист	№ документа	Подпись	Дата		6

2.5.4. В течение одной элементарной проверки состояние любого вывода представляют одним из следующих условных символов :

"0" - вход, низкий уровень напряжения;

"1" - вход, высокий уровень напряжения;

"-" - вход, импульсное напряжение типа ("  ");

"+" - вход, импульсное напряжение типа ("  ");

"X" - выход, непроверяемый;

"L" - выход, низкий уровень напряжения;

"H" - выход, высокий уровень напряжения;

"l" - выход, низкий уровень напряжения с низкой нагрузочной способностью;

"h" - выход, высокий уровень напряжения с низкой нагрузочной способностью;

"Z" - выход, непроверяемое высокоимпеданное состояние;

"u" - выход, высокоимпеданное состояние, высокий уровень напряжения за счет внутреннего резистора.

"d" - выход, высокоимпеданное состояние, низкий уровень напряжения за счет внутреннего резистора.

"U" - выход, высокоимпеданное состояние, высокий уровень напряжения за счет внешнего нагрузочного резистора.

"D" - выход, высокоимпеданное состояние, низкий уровень напряжения за счет внешнего нагрузочного резистора.

2.5.5. Динамические параметры "ЭП"

Период "ЭП" задан абсолютным значением в секундах, а остальные параметры - в процентах от периода "ЭП":

минимальный период "ЭП", с..... 10E-6

задержка для проверки выходов..... 90%.

2.5.6. Количество "ЭП" в тестовой последовательности 26480.

Ив. № подлин	Подпись и дата
Взаим. инв. №	Ив. № дубл.
Подпись и дата	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица 2

Номера элементарных проверок	Номера и состояния выводов микросхемы	
	12345678901234567890123456789013456789012345678901234567890123	11111111122222222223333333333444444444455555555556666

```

1> +h00001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
2> +h00001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
3> +h00001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
4> +h00001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
5> +h00001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
6> +h00001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
7> +h00001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
8> +h00001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
9> +h00001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
10> +h10001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
11> +h01001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
12> +h11001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
13> +h11001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
14> +h11001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
15> +h11001111111111zzzzzzzzH0X0X1011111111XXXXXXXXXXXXXXXXXXXX0X0X;
16> +h11001111111111zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
17> +h11001111111111zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
18> +h11011111111111zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
19> +h11010111111111zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
20> +h11010101111111zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
21> +h11010100111111zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
22> +h11010100011111zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
23> +h11010100001111zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
24> +h11010100000111zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
25> +h11010100000011zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
26> +h11010100000001LLLLLLLLLLOL0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
27> +h11010100000001LLLLLLLLLLOL0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
28> +h11010100000001LLLLLLLLLLOL0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
29> +h11010100000001LLLLLLLLLLOL0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
30> +h11010100000001LLLLLLLLLLOL0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
31> +h11011100000000zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
32> +h11011100000000zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
33> +h11011100000000zzzzzzzzH0L0L1011111111LLLLLLLLLLLLLLLLLLLL0L0L;
34> 0h00111100000000zzzzzzzzz0z0z0111111111zzzzzzzzzzzzzzzzzzz0z0z;
35> 0h00111100000000zzzzzzzzz0z0z0111111111zzzzzzzzzzzzzzzzzzz0z0z;
36> +h00001100000000zzzzzzzzH0L0L0011111111LLLLLLLLLLLLLLLLLLLL0L0L;
37> +h00001100000000zzzzzzzzH0L0L0011111111LLLLLLLLLLLLLLLLLLLL0L0L;
38> +h00001000000000LLLLLLLLLLOL0L0011111111LLLLLLLLLLLLLLLLLLLL0L0L;
39> +h00001000000000LLLLLLLLLLOL0L0011111111LLLLLLLLLLLLLLLLLLLL0L0L;
40> +h00001100000000zzzzzzzzH0L0L0011111111LLLLLLLLLLLLLLLLLLLL0L0L;
41> +h00001100000000zzzzzzzzH0L0L0011111111LLLLLLLLLLLLLLLLLLLL0L0L;
42> +h00001100000000zzzzzzzzH0L0L0011111111LLLLLLLLLLLLLLLLLLLL0L0L;
43> +h00001100000000zzzzzzzzH0L0L0011111111LLLLLLLLLLLLLLLLLLLL0L0L;
44> +h00001100000000zzzzzzzzH0L0L0011111111LLLLLLLLLLLLLLLLLLLL0L0L;
    
```

Инв. № подлин	Подпись и дата	
	Инв. № дубл.	Взаим. инв. №
Инв. № подлин	Подпись и дата	
	Инв. № дубл.	Взаим. инв. №

ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ И РЕЖИМЫ

3.1 Электрические параметры микросхемы, режимы и условия их измерений должны соответствовать ТУ.

3.2 Контроль качества микросхемы выполнять по ТУ в режимах и условиях, указанных в Таблице норм ГАВЛ.431260.017 ТБ с дополнениями и уточнениями, приведенными в настоящем разделе.

3.2.1 Функциональный контроль выполнять в соответствии с Таблицей 2.

3.2.1.1 При функциональном контроле на выводах 7 – 24, являющихся входами ТТЛ – уровня, задавать сигнал низкого уровня 400мВ, а сигнал высокого уровня 2500мВ при напряжении питания 4,3В и 3000мВ при напряжении питания 5,7В.

3.2.2 Измерение выходного напряжения низкого уровня (U_{OL}) и высокого уровня (U_{OH}) микросхемы выполнять в соответствии с Таблицей 2 по методике, приведенной в ТУ.

3.2.2.1 При измерении выходного напряжения низкого и высокого уровня на выводах 7 – 24, являющихся входами ТТЛ – уровня, задавать сигнал низкого уровня 400мВ, сигнал высокого уровня 2500мВ.

3.2.2.2. Измерение выходных напряжений низкого уровня и высокого уровня на выходе 2 выполнять при токе нагрузки 0,8мА для контроля напряжения низкого уровня и при токе нагрузки 0,4мА для контроля напряжения высокого уровня.

3.2.3 Ток потребления (I_{CC}) измерять на 8 "ЭП".

3.2.4 Измерение токов утечки I_{LIL} и I_{LIH} по входам выполнять на любой элементарной проверке.

3.2.4.1. Измерение тока доопределения I_R по входам 5, 6 и 30, имеющим внутренние резисторы доопределения до высокого уровня, выполнять на любой элементарной проверке при нормальных условиях в диапазоне 125...60 мкА, соответствующем номиналу резистора 44 - 92 кОм и в диапазоне 200...38 мкА, соответствующем номиналу резистора 27,5 – 144 кОм при крайних значениях температур.

3.2.5 Измерение выходных токов (I_{0ZL} , I_{0ZH}) на выводах, которые находятся в состоянии "ВЫКЛЮЧЕНО" при напряжениях низкого и высокого уровня выполнять на любой элементарной проверке в соответствии с Таблицей 2 по методике, приведенной в ТУ.

3.2.6 Временные параметры сигналов на выходах микросхемы не измерять.

Изн. № подлин	Подпись и дата
Взаим. инв. №	Изн. № дубл.
Подпись и дата	Подпись и дата

					ГАВЛ.431260.343 Д	Лист 9
Изм	Лист	№ документа	Подпись	Дата		

3.3. Испытания микросхемы на воздействие повышенной рабочей температуры среды, пониженного атмосферного давления, акустического шума, инея и росы, безотказность, долговечность, виброустойчивость, граничные испытания, влагоустойчивость и электротермотренировки (ЭТТ) проводить по методике, приведенной в ТУ.

3.4. До освоения в серийном производстве приемку и отгрузку микросхемы проводить по результатам приемно-сдаточных испытаний в соответствии с настоящей картой заказа и ТУ.

3.5. В соответствии с РД 110755-90 допускается проведение ускоренных испытаний на безотказность и долговечность.

4. ГАРАНТИИ ЗАКАЗЧИКА

Заказчик гарантирует полноту технического описания структурной схемы, режимов и временных диаграмм работы микросхемы, представленных в приложении к настоящей карте заказа.

Инва. № подлинн	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.343 Д	Лист
						10

Приложение А (обязательное)

А.1. Название и назначение.

БИС предназначена для приёма, накопления, дешифрации и выдачи команд управления питанием системы управления космическими аппаратами.

А.2. Выполняемые функции.

- приём и накопление импульсных разовых команд;
- приём и накопление команд от ведущего вычислителя;
- сведение потоков команд и разрешение конфликтов;
- дешифрация команд;
- формирование выходных импульсных команд заданной длительности;
- формирование заданных задержек и последовательностей команд.

А.3. Состав и структурная схема

БИС должна состоять из следующих функциональных узлов:

- регистр приёма и накопления импульсных разовых команд (Rg1);
- регистр команд от вычислителя (Rg2);
- шифратор-мультиплексор (MX);
- регистр исполнения (Rg3);
- автомат исполнения;
- выходной дешифратор (DC);
- генератор;
- таймеры;
- интерфейс параллельной шины;
- буферные элементы входных команд;
- цифровой фильтр (DF).

Инов. № подлинн		Подпись и дата	
Взаим. инв. №		Инов. № дубл.	
Подпись и дата		Подпись и дата	

					ГАВЛ.431260.343 Д	Лист 11
Изм	Лист	№ документа	Подпись	Дата		

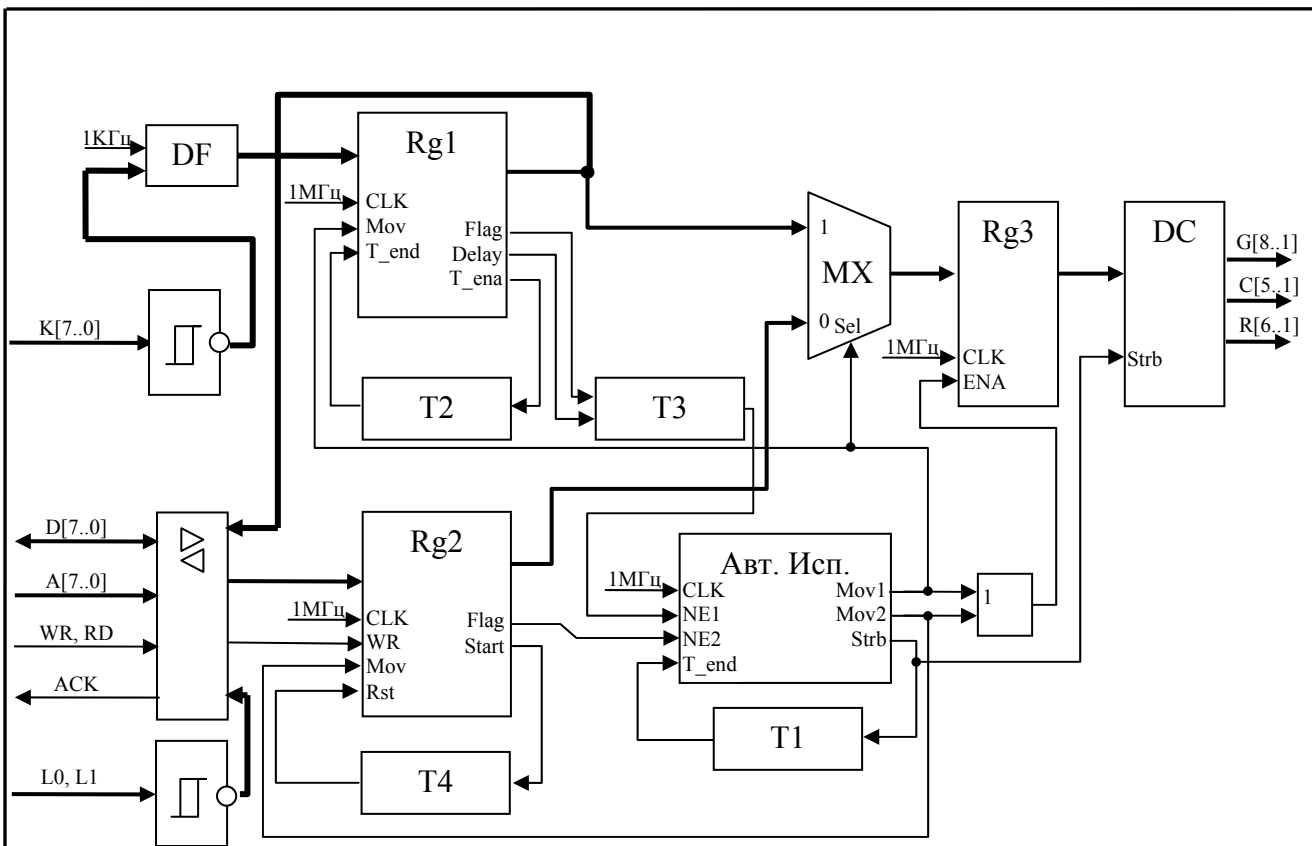


Рис. А.1. Структурная схема БИС (показаны не все связи)

А.4. Описание отдельных узлов

А.4.1. Регистр команд от вычислителя (Rg2)

Входы:

CLRn — сброс;

D[7..0] — шина данных, входы регистра (с внешней двунаправленной шины данных);

WR — строб записи (внешний);

CLK — тактовый (1МГц);

Rst — команда "повторное включение";

Mov — перенос данных в регистр исполнения;

Mov1 — перенос данных из другого источника в регистр исполнения.

Выходы:

Q[7..0] — выходная шина данных, выходы регистра;

Flag — флаг наличия данных — запрос на исполнение команды;

Start — запуск таймера повторного включения;

Rst1 — индикатор поступления команды "повторное включение".

Инд. № подлин	Подпись и дата	Инд. № дубл.	Взаим. инв. №	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

Функционирование:

Данные со входов D[7..0] поступают на вход регистра и защёлкиваются по нарастающему фронту сигнала WR, при условии Flag = 0 (Flag = 1 блокирует запись).

Флаг наличия данных Flag устанавливается по первому нарастающему фронту CLK после нарастающего фронта сигнала WR при ненулевых данных, записанных в регистр. Сбрасывается по нарастающему фронту CLK при "1" на входе Mov.

Повторное включение: Триггер Start устанавливается в "1" при уходе на исполнение команды 4Fh (это команда выключения вычислителя, являющегося источником команд для Rg2), т.е. при Q[7..0] = 4Fh, Mov = 1 и по нарастающему фронту CLK. Сигнал Start разрешает работу таймера, который через 64 с должен выдать сигнал Rst (для повторного включения вычислителя). По высокому уровню на входе Rst устанавливаются значения: Q[7..0] = 6Fh, Start = 0, Flag устанавливается по первому нарастающему фронту CLK после спадающего фронта сигнала Rst. По высокому уровню сигнала Mov1 триггер Start сбрасывается (при поступлении команды от Rg1 на исполнение прекращается счёт таймера T4). Триггер Rst1 устанавливается в "1" По высокому уровню на входе Rst и сбрасывается низким уровнем сигнала WR

Сброс: по низкому уровню сигнала CLRN выходы регистра Q[7..0], Flag, Start, Rst1 обнуляются.

А.4.2. Автомат исполнения

Входы:

CLRN — сброс;

CLK — тактовый;

NE1, NE2 — флаги наличия данных — запросы на исполнение команды (NE — Not Empty — не пусто);

T_end — окончание счёта таймера.

Выходы:

Mov1, Mov2 — сигналы пересылки данных в регистр исполнения;

Strb — строб исполнения команды, разрешение счёта таймера;

Функционирование:

Автомат исполнения команд — это автомат Мура с четырьмя состояниями:

Инд. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата
---------------	----------------	---------------	--------------	----------------

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Idle — ожидание;

Mv1, Mv2 — пересылка данных из первого и второго источника;

Exe — исполнение команды.

Граф переходов автомата:

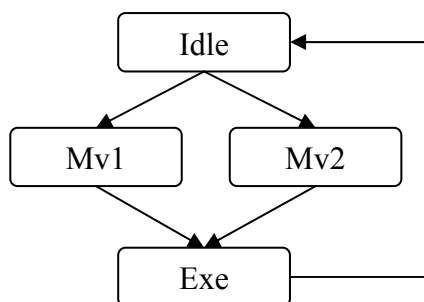


Рис. А.2.

Исходное состояние (устанавливается по низкому уровню сигнала CLRN) — Idle.

Переходы осуществляются по нарастающим фронтам CLK при следующих условиях:

Из состояния Idle:

Если NE1 = 1, то переход в Mv1,

иначе, если NE2 = 1, то переход в Mv2,

иначе оставаться в Idle.

Из состояния Mv1 — переход в Exe;

Из состояния Mv2 — переход в Exe;

Из состояния Exe:

Если T_end = 1 (таймер окончил счёт), то переход в Idle,

иначе оставаться в Exe.

Все выходы — функции состояния.

Mov1=1 во время состояния Mv1,

Mov2=1 во время состояния Mv2,

Strb=1 во время состояния Exe.

Описание работы:

Запросы на исполнение поступают из двух независимых источников. При одновременном поступлении запросов первый имеет приоритет. Если при поступлении запроса автомат находится в ожидании, то он переходит в состояние

Ив. № подлин	Подпись и дата	Взам. инв. №	Инв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

пересылки данных и находится там один такт, вырабатывая соответствующий внешний сигнал пересылки. Далее он переходит в состояние исполнения. В состоянии исполнения выдаётся сигнал $Strb=1$. Этот сигнал поступает на вход асинхронного сброса таймера, и высокий уровень разрешает счёт. По истечении 120 мс таймер выдаёт сигнал окончания счёта T_end . По этому сигналу автомат переходит в состояние ожидания — единственное состояние, в котором он реагирует на запросы.

А.4.3. Генератор

БИС должна содержать генератор, работающий с внешним кварцевым резонатором. Для подключения генератора БИС должна иметь два вывода — вход Xin и выход $Xout$. Генератор должен допускать подключение внешнего источника тактовой частоты ко входу Xin вместо кварцевого резонатора. Диапазон допустимых частот работы генератора и диапазон частоты, получаемой от внешнего источника — 4 ... 16 МГц.

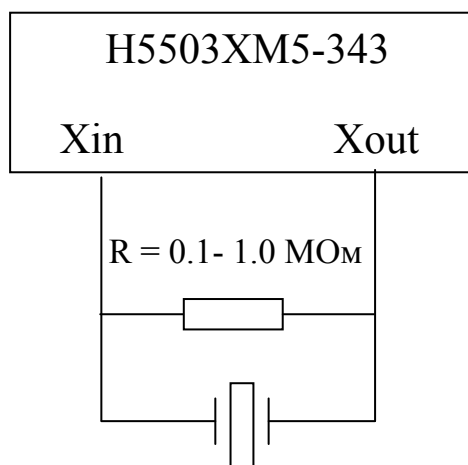


Рис. А3

Схема подключения к БИС кварцевого резонатора представлена на рис. А3.

А.4.4. Регистр приёма и накопления импульсных разовых команд (Rg1)

Входы:

CLR_N — сброс;

CLK — тактовый;

K[7..0] — входные разовые команды;

Инов. № подлинн	Подпись и дата
Взаим. инв. №	Инов. № дубл.
Подпись и дата	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Mov — перенос данных в регистр исполнения;

T_end — окончание счёта таймера;

Rst — установка в состояние "повторное включение";

Выходы:

Q[7..0] — выходная шина данных, выходы регистра;

Flag — флаг наличия допустимой командной комбинации — запрос на исполнение команды;

Delay — задержка запроса;

T_ena — разрешение счёта таймера;

КК — признак того, что пришла хотя бы одна из команд.

Функционирование:

Команды K0 ... K7 — импульсные команды длительностью от 60 до 200 мс. Пауза между командами превышает длительность каждой команды. Данная БИС не должна контролировать длительность команды и длительность паузы. Команды поступают от контактов реле, замыкающихся на "общий". Для подавления дребезга перед входами K0 ... K7 БИС планируется установить интегрирующие RC-цепи с постоянной времени 10 ... 20 мс. Входы K0 ... K7 БИС должны быть оснащены триггерами Шмидта с максимально широкой петлёй гистерезиса. После триггера Шмидта должен быть установлен инвертор. Активный уровень команды — низкий (замыкание контактов). Приходом команды считается спадающий фронт на входе БИС и, соответственно, нарастающий фронт на выходе инвертора. Далее по тексту везде имеются в виду только команды после инверторов.

Команды приходят по одной. Полный контроль этого факта не требуется.

Для повышения надежности приход любой команды на входы K0 ... K7 при помощи цифрового фильтра (DF) записывается в регистр (Rg1) через 32 мс.

Регистр должен накопить допустимую командную комбинацию, и затем выставить запрос на исполнения Flag. Допустимая комбинация состоит из двух команд — предварительная и исполнительная. Предварительные команды — K4 ... K7, исполнительной командой может быть любая, в том числе и из списка предварительных. Команды, составляющие одну командную комбинацию, должны прийти в интервале времени не более 16 с. Для отсчёта этого интервала времени предусмотрены два сигнала связи с таймером: выходной T_ena, поступающий на вход сброса таймера, и входной T_end. При низком T_ena таймер сброшен. При

И Inv. № подлин	Подпись и дата
Взаим. инв. №	И Inv. № дубл.
Подпись и дата	

Изм	Лист	№ документа	Подпись	Дата

высоком T_ena таймер считает. По окончании счёта он выставляет высокий T_end, который сбрасывает триггер T_ena.

Обработка входных команд должна осуществляться следующим образом:

- 1) Любая проходящая команда (если приём не заблокирован флагом запроса) записывается в регистр.
- 2) Если в момент прихода команды T_ena = 0, команда "затирает" предыдущее состояние регистра. Т.е. регистр сначала очищается, а затем в него записывается новая команда.
- 3) Если при T_ena = 0 пришла предварительная команда, T_ena устанавливается в "1".
- 4) Если при T_ena = 1 пришла команда и на выходе регистра образовалась допустимая командная комбинация, выставляется запрос на исполнение Flag = 1, и дальнейший приём команд блокируется этим сигналом.

Допустимая комбинация это: не более одной команды K0 ... K3 и общее количество команд ровно две (анализатор допустимой командной комбинации — это логическая функция, анализирующая выходы регистра Q0 ... Q7).

Возможны следующие сбойные ситуации:

Пришла та же самая команда — в этом случае T_ena должен быть кратковременно переведён в состояние "0" (на 1 такт CLK) для обнуления таймера, а затем снова установлен в "1".

Одновременный приход команд, тогда может получиться 3 команды в регистре — в этом случае T_ena должен быть сброшен.

5) Флаг запроса исполнения Flag сбрасывается по нарастающему фронту CLK при "1" на входе Mov. При этом состояние выходов регистра Q0 ... Q7 не изменяется: сработавшая комбинация остаётся в регистре до прихода следующей команды.

6) Выходной сигнал Delay формируется как комбинационная функция выходов регистра Q0 ... Q7: $Delay = Q6 \& Q5 \vee Q4 \& Q5$, т.е. при $Q[7..4] = 6$ и $Q[7..4] = 3$. Сигнал означает задержку поступления сигнала запроса на автомат исполнения на 32 с.

7) По низкому уровню сигнала CLRN при низком CLRMOD все триггера очищаются: $Q[7..0] = 0$, $T_ena = 0$, $Flag = 0$. По низкому уровню сигнала CLRN при высоком CLRMOD устанавливается состояние как после приёма команды K7: $Q[7..0] = 80h$, $T_ena = 1$, $Flag = 0$.

Инов. № подлин	Подпись и дата
	Инов. № дубл.
Инов. № подлин	Взаим. инов. №
	Подпись и дата

					Лист
ГАВЛ.431260.343 Д					17
Изм	Лист	№ документа	Подпись	Дата	

8) Сигнал для чтения через интерфейс параллельной шины КК формируется как $KK = K0 \vee K1 \vee K2 \vee K3 \vee K4 \vee K5 \vee K6 \vee K7$ (сигналы снимаются с выходов триггеров Шмидта, до фильтров DF). Это признак того, что пришла хотя бы одна любая команда.

А.4.5. Таймеры

А.4.5.1. В БИС должны быть предусмотрены следующие таймеры:

1) Таймер1 — на 120 мс — таймер длительности выходной команды.

Входы:

CLK — тактовый,

CLRΝ = Strb (от автомата исполнения).

Выход — T_end.

При низком CLRΝ таймер сброшен. При высоком CLRΝ таймер считает. По окончании счёта он выставляет высокий T_end, который вызывает переход автомата исполнения в следующее состояние и обнуление сигнала Strb — сигнала сброса данного таймера. Сигнал CLRΝ сбрасывает все триггеры таймера, в том числе и триггер T_end.

2) Таймер2 — на 16 с — таймер ожидания исполнительской команды.

Входы:

CLK — тактовый,

CLRΝ = T_ena (от Rg1).

Выход — T_end.

При низком CLRΝ таймер сброшен. При высоком CLRΝ таймер считает. По окончании счёта он выставляет высокий T_end, который сбрасывает триггер T_ena. Сигнал CLRΝ сбрасывает все триггеры таймера, в том числе и триггер T_end.

3) Таймер3 — на 32 с — таймер задержки запроса на исполнение.

Входы:

CLK — тактовый,

CLRΝ = Flag от Rg1,

Delay — признак задержки от Rg1.

Выходы:

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

Flag_out, поступающий на автомат исполнения;

T3_ena — признак того, что таймер считает ($T3_ena = CLRN \& Delay$).

При низком CLRN таймер сброшен.

При $CLRN = 1$ и $Delay = 0$ Flag_out сразу устанавливается в "1" и таймер не считает. При $CLRN = 1$ и $Delay = 1$ таймер считает и по окончании счёта выставляет Flag_out = 1. Сигнал CLRN сбрасывает все триггеры таймера, в том числе и триггер Flag_out (при переходе сигнала Flag регистра Rg1 из 1 в 0 сигнал Flag_out совершить тот же переход менее чем за такт сигнала CLK в Rg1).

4) Таймер4 — на 64 с — таймер задержки повторного включения.

CLK — тактовый,

CLRN = Start от Rg2.

Выход — T_end — сигнал Rst для Rg2.

При низком CLRN таймер сброшен. При высоком CLRN таймер считает. По окончании счёта он выставляет высокий T_end, который сбрасывает триггер T_ena. Сигнал CLRN сбрасывает все триггеры таймера, в том числе и триггер T_end.

А.4.5.2. Для упрощения тестирования БИС таймеры должны быть разделены на секции, соединяемые между собой внешними перемычками:

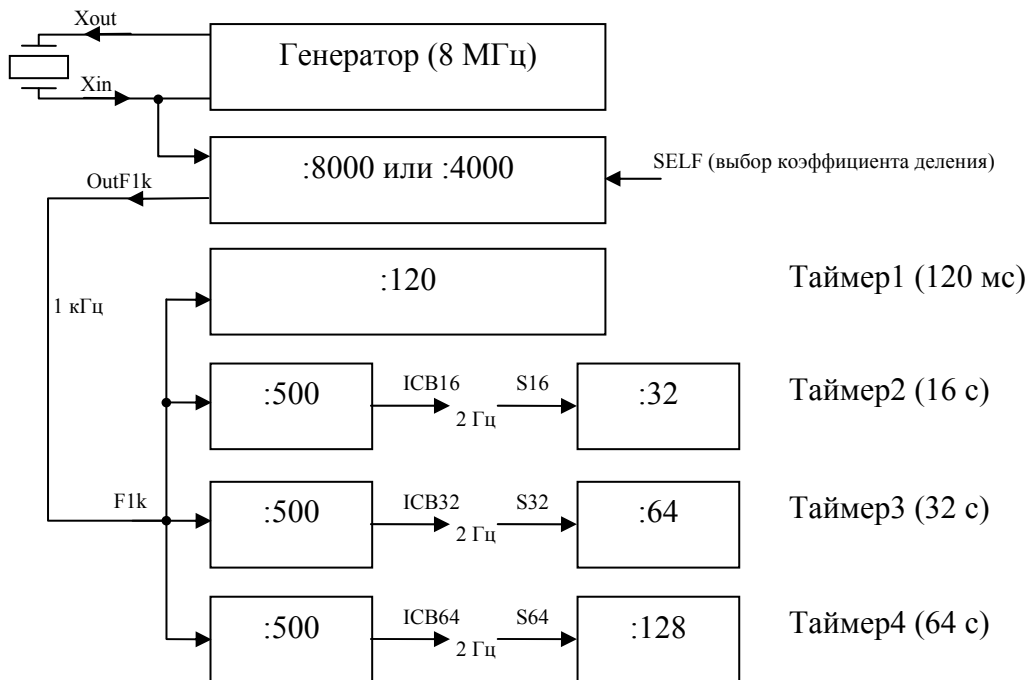


Рис. А.4

Инва. № подлин	Подпись и дата
Взаим. инв. №	Инва. № дубл.
Подпись и дата	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Скважность сигналов на выходе каждой секции значения не имеет.

Все секции приводятся в исходное состояние низким уровнем сигнала CLRN.

А.4.6 Шифратор-мультиплексор (МХ)

Шифратор-мультиплексор предназначен для передачи в регистр исполнения либо кода команды от регистра Rg1, либо кода команды от регистра Rg2, а также приведения кодировки команд на выходе регистра Rg1 к системе, единой с Rg2. Приведение к единой системе кодов выполняется таким образом, что большая часть команд может выполняться при запросе от любого источника. Часть команд выполняется при запросе только от одного источника.

Входы:

A[7..0] — входы от Rg1;

B[7..0] — входы от Rg2;

Sel — выбор источника (Sel = Mov1 от автомата исполнения);

Выходы:

Q[10..0] — выходы на вход регистра исполнения.

Уравнения:

При Sel = 1 проходят сигналы от Rg1:

$$\begin{aligned} Q0 &= A0; & Q4 &= 0; \\ Q1 &= A1; & Q7 &= 0. \\ Q2 &= A2; \\ Q3 &= A3; \end{aligned}$$

Остальные должны преобразовываться согласно таблице:

И Inv. № подлин	Подпись и дата	Взам. инв. №	Инв. № дубл.	Подпись и дата
-----------------	----------------	--------------	--------------	----------------

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

A4	A5	A6	A7	Q5	Q6	Q8	Q9	Q10	Примечание
1	0	0	0	1	0	0	0	0	Комбинации, возможные от обоих источников (Rg1, Rg2)
0	1	0	0	0	0	0	0	0	
0	0	1	0	0	1	0	0	0	
0	0	0	1	1	1	0	0	0	
1	0	0	1	0	0	1	0	0	Комбинации, возможные только от Rg1
0	1	0	1	0	0	0	1	0	
0	0	1	1	0	0	0	0	1	
1	0	1	0	0	0	1	0	1	
0	1	1	0	0	0	0	1	1	
1	1	0	0	0	0	1	1	0	
1	1	1	0	x	x	x	x	x	Невозможные комбинации (комбинации, не формирующие запроса на исполнение)
1	1	0	1	x	x	x	x	x	
1	0	1	1	x	x	x	x	x	
0	1	1	1	x	x	x	x	x	
1	1	1	1	x	x	x	x	x	
0	0	0	0	x	x	x	x	x	

При Sel = 0 проходят сигналы от Rg2:

$$\begin{aligned}
 Q0 &= B0; & Q4 &= B4; & Q8 &= 0; \\
 Q1 &= B1; & Q5 &= B5; & Q9 &= 0; \\
 Q2 &= B2; & Q6 &= B6; & Q10 &= 0. \\
 Q3 &= B3; & Q7 &= B7; & &
 \end{aligned}$$

А.4.7 Регистр исполнения (Rg3)

Входы:

CLK — тактовый;

ENA — разрешение защёлкивания (ENA = Mov1 ∨ Mov2 от автомата исполнения);

D[10..0] — входы данных.

Выходы:

Q[10..0] — выходы данных.

Регистр исполнения — 11-разрядный регистр, данные в который записываются по нарастающему фронту CLK при ENA=1.

А.4.8 Выходной дешифратор (DC)

Входы:

Q[10..0] — данные от регистра исполнения;

Strb — строб от автомата исполнения.

Ив. № подлин	Подпись и дата
Взаим. инв. №	Подпись и дата
Инв. № дубл.	Подпись и дата
Ив. № подлин	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

ВЫХОДЫ:

G1 ... G8

C1 ... C5

R1 ... R6

Уравнения:

$$G1 = Q0 \& Q5 \& \text{Strb};$$

$$G2 = Q1 \& Q5 \& \text{Strb};$$

$$G3 = Q2 \& Q5 \& \text{Strb};$$

$$G4 = Q3 \& Q5 \& \text{Strb};$$

$$G5 = Q0 \& \neg Q5 \& \text{Strb} \vee R1;$$

$$G6 = Q1 \& \neg Q5 \& \text{Strb} \vee R1;$$

$$G7 = Q2 \& \neg Q5 \& \text{Strb} \vee R1;$$

$$G8 = Q3 \& \neg Q5 \& \text{Strb} \vee R1;$$

$$C1 = \neg Q6 \& \neg Q7 \& \neg Q4 \& \neg(Q8 \vee Q9 \vee Q10) \& \text{Strb} \vee R1;$$

$$C2 = Q6 \& \neg Q7 \& \text{Strb} \vee R1;$$

$$C3 = \neg Q6 \& Q7 \& \text{Strb} \vee R1;$$

$$C4 = \neg Q6 \& \neg Q7 \& Q5 \& \text{Strb};$$

$$C5 = Q6 \& Q7 \& \text{Strb} \vee R1;$$

$$R1 = \neg Q8 \& Q9 \& Q10 \& \text{Strb};$$

$$R2 = Q8 \& Q9 \& \neg Q10 \& \text{Strb};$$

$$R3 = Q8 \& \neg Q9 \& \neg Q10 \& \text{Strb};$$

$$R4 = \neg Q8 \& Q9 \& \neg Q10 \& \text{Strb};$$

$$R5 = \neg Q8 \& \neg Q9 \& Q10 \& \text{Strb};$$

$$R6 = Q8 \& \neg Q9 \& Q10 \& \text{Strb}.$$

А.4.9 Интерфейс параллельной шины

Двунаправленные выводы:

D[7..0] — внешняя шина данных.

Входы:

A[7..0] — внешняя шина адреса;

WR — внешний строб записи;

RD — внешний строб чтения;

Инов. № дубли.	Подпись и дата
Взаим. инв. №	Подпись и дата
Инов. № подлинн	

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Flag2 — флаг наличия данных в регистре Rg2;
T_ena — признак ожидания исполнительной команды;
Q[7..0] — данные с выхода регистра Rg1;
Rst1 — индикатор поступления команды "повторное включение";
KK — пришла хотя бы одна какая-нибудь команда,
L0, L1 — дополнительные команды.

Выходы:

ACK — внешний выход подтверждения операции записи или чтения;
WRi — строб записи, проходящий внутрь БИС;
Di[7..0] — шина данных, проходящая внутрь БИС.

Все внешние входы интерфейса должны быть совместимы с уровнями TTL.

Через интерфейс параллельной шины БИС осуществляет запись по адресу 0 и чтение по адресам 0 и 1.

При высоком уровне на входе RD выходы D[7..0] должны находиться в Z-состоянии.

При A[7..0] = 00h, RD = 0 на выходы D[7..0] должны поступать данные Rg1 Q[7..0].

При A[7..0] = 01h, RD = 0 на выходы D[7..0] должны поступать данные:

D0 = T_ena — включен таймер T2 (признак ожидания исполнительной команды),

D1 = T3_ena — включен таймер T3 (ожидание передачи команды от Rg1 на исполнение),

D2 = Rst1 — индикатор поступления команды "повторное включение",

D3 = KK — пришла хотя бы одна какая-нибудь команда,

D4 = L0,

D5 = L1,

D6 = 0,

D7 = 0.

Входные данные D[7..0] должны поступать на выход Di[7..0] для записи в регистр Rg2. Сигнал WRi = 0 для записи в Rg1 должен формироваться при WR = 0 и A[7..0] = 00h.

Сигнал ACK (Acknowledge) низким уровнем подтверждает операцию записи или чтения:

Ивл. № подлин	Подпись и дата	Взаим. инв. №	Ивл. № дубл.	Подпись и дата
---------------	----------------	---------------	--------------	----------------

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

ACK — высокий при высоких WR и RD;

ACK = 0 при RD = 0 и A[7..0] = 00h или 01h;

ACK = 0 при WR = 0, A[7..0] = 00h и Flag2 = 0 (т.е. запись не заблокирована).

Входные буферные элементы для входов L0 и L1 должны быть выполнены также, как для входов K0 ... K7 (см. п. 4.4.).

А.5. Описание выводов специальных выводов

Обозначение	Тип	Выполняемые функции
CLRΝ	Вход	(Clear Negative) Приведение в исходное состояние: низкий уровень — сброс, высокий — нормальное функционирование БИС.
PULL	Вход	Технологический. Предназначен для включения режима измерения токов утечки. При высоком уровне на этом входе все выходы переводятся в Z-состояние, все резисторы доопределения входов отключаются. При низком уровне на этом входе — нормальное функционирование БИС.

И Inv. № подлинн	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

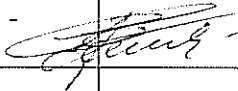
Изм	Лист	№ документа	Подпись	Дата

Г A B Л . 4 3 1 2 6 0 . 3 4 3 Д

Лист

24

Лист регистрации изменений

Изм	Номера листов (страниц)				Всего листов (страниц) в документе	№ документа	Входящий № сопроводительного документа и дата	Подпись	Дата
	Измененных	Замененных	Новых	Ануллированных					
1	-	1	-	-	25	ГАВЛ.431260.343	-		21.02.13

Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №
Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №
Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №
Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №
Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №
Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №
Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №
Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №
Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №
Изм. №	Изм. №	Изм. №	Изм. №	Изм. №	Изм. №