

УТВЕРЖДЕН
ГАВЛ.431260.337 Д-ЛУ

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
5503БЦ7У-337 АЕЯР.431260.272 ТУ
КАРТА ЗАКАЗА
ГАВЛ.431260.337 Д

Инд. № подлин	Подпись и дата
Взаим. инв. №	Инд. № дубл.
Подпись и дата	Подпись и дата

**КОНТРОЛЬНЫЙ
ЭКЗЕМПЛЯР**

Перв. примен.	1. ОБЩИЕ СВЕДЕНИЯ	
	1.1 Регистрационный номер карты заказа 337.	
Справка №	1.2 Обозначение микросхемы интегральной (далее микросхемы) в конструкторской документации: Микросхема 5503БЦ7У-337 АЕЯР.431260.272 ТУ Карта заказа ГАВЛ.431260.337 Д	
	1.3 Обозначение схемы электрической структурной ГАВЛ.431260.337 Э1	

Подпись и дата	1.4 Обозначение магнитного носителя с результатами проектирования (МНРП) ГАВЛ.431260.337 МД: Контрольные суммы обязательных файлов на МНРП:	
	а) STR-файл Структурное описание проекта БИС 16385 б) SOU-файл Описание топологии переменного слоя 34717 в) 000-файл Описание тестовой последовательности 1..... 32264 г) 001-файл Описание тестовой последовательности 2..... 10982 д) 002-файл Описание тестовой последовательности 3..... 30840 е) PIN-файл Описание внешних выводов..... 37973 ж) TSR-файл Описание входных воздействий и реакций..... 18300 з) KNT-файл Описание параметров контактов..... 56906	
Изм. № дубл.	1.5 В настоящем экземпляре карты заказа в таблице 2 приведены тесты с 0 по 50 элементарную проверку. Полное описание тестовой последовательности представлено в 000-файле, 001-файле и на 002-файле МНРП.	
	1.6 Корпус Н18.64-1В.	

Подпись и дата	ГАВЛ.431260 337 Д										
	Изм	Лист	№ документа	Подпись	Дата						
Изм. № подлин.	Разработал		Фомин		10.01.08						
	Проверил		Проскуряков		10.01.08						
	Н.контр.о.										
	Утвердил		Денисов		10.01.08						
			Микросхема интегральная 5503БЦ7У-337 АЕЯР.431260.272 ТУ Карта заказа		<table border="1"> <tr> <td>Литера</td> <td>Лист</td> <td>Листов</td> </tr> <tr> <td style="text-align: center;">А</td> <td style="text-align: center;">2</td> <td style="text-align: center;">31</td> </tr> </table>	Литера	Лист	Листов	А	2	31
Литера	Лист	Листов									
А	2	31									

2. ТЕХНИЧЕСКОЕ ОПИСАНИЕ

2.1. Наименование микросхемы: дешифратор РК (далее микросхема).

2.2. Функциональное назначение микросхемы.

Микросхема должна обеспечивать прием входных и формирование выходных сигналов заданного уровня.

2.3. Функциональные и электрические требования микросхемы приведены в Приложении А..

2.4. Микросхема должна удовлетворять требованиям технических условий АЕЯР.431260.272 ТУ (далее по тексту – ТУ) с дополнениями и уточнениями, изложенными в настоящей карте заказа.

2.4.1. Общее количество задействованных выводов микросхемы – 52.

Состав, нумерация, обозначение и назначение задействованных выводов должны соответствовать таблице 1.

В графе "нагрузка" символы "u", " d" указывают выводы, к которым должны быть подключены нагрузочные резисторы во время тестовой проверки работоспособности микросхемы.

Состав и нумерация общего, питающего и незадействованных выводов:

номер общего вывода 16, 48
 номер питающего вывода 32 64
 номера незадействованных выводов..... 1, 11-15, 18, 60

Инь. № подлин		Подпись и дата	
Взаим. инв. №		Инь. № дубл.	

					Г АВЛ.431260.337 Д	Лист 3
Изм	Лист	№ документа	Подпись	Дата		

2.5. Микросхема должна выполнять тестовую последовательность элементарных проверок (ТПЭП), представленную в Таблицах 2 и 3, в режимах и условиях, приведенных в ТУ и в настоящей карте заказа.

2.5.1. ТПЭП предназначена для проверки функций и параметров микросхемы. Элементарные проверки для измерения статических параметров (токи потребления, выходные напряжения и токи утечки) определяются измерительной системой автоматически при выполнении функционального контроля микросхемы.

2.5.2. ТПЭП представляет собой набор пронумерованных строк. Строки начинаются с номера, который соответствует номеру элементарной проверки (ЭП). Если некоторая элементарная проверка выполняется более одного раза подряд, то номер следующей строки увеличивается на число повторений этой элементарной проверки. Каждая строка определяет состояния всех (кроме общих, питающих и неиспользуемых) выводов проверяемой микросхемы в течение одной элементарной проверки, а каждый столбец - состояние одного вывода в течение всех элементарных проверок.

2.5.3. Общий порядок выполнения одной элементарной проверки.

- 1) определить "входы" и "выходы" среди выводов микросхемы в нулевой момент времени относительно начала элементарной проверки,
- 2) переключить потенциальные и импульсные "входы" в соответствии с установленными для них задержками и длительностями;
- 3) проверить "выходы" с установленными задержками относительно начала элементарной проверки.

Инв. № подлин	Подпись и дата				Лист
	Инв. № дубл.				
Инв. № инв.	Взаим. инв. №				4
	Подпись и дата				
Изм	Лист	№ документа	Подпись	Дата	ГАВЛ.431260.337 Д

Таблица 1

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
2	TBG1	01			Вход телеметрии БГ1
3	TBG128	01			Вход телеметрии БГ128
4	RESET	01			Общая инициализация
5	A0	01		u	Разряд 0 шины адреса
6	A1	01		u	Разряд 1 шины адреса
7	A2	01		u	Разряд 2 шины адреса
8	A3	01		u	Разряд 3 шины адреса
9	A4	01		u	Разряд 4 шины адреса
10	A5	01		u	Разряд 5 шины адреса
16	GND				Общий
17	ICC	01			Вход технологический
19	STD		LHz		Контрольный выход ST дешифратора РК
20	SZD	01	LHz		Контрольный выход SZ дешифратора РК
21	SYD	01	LHz		Контрольный выход SY дешифратора РК
22	KPAD	01			Вход «Режим КПА»
23	IKODD	01			Контр. вх. «Перекл. кода»
24	KRKD	01			Вход «Код РК, ЛК (БМПТ)»
25	KLKD	01			Вход «Код ЛК (БМПТ)»
26	ISYSD	01			Контр. вх. «Перекл. системы»
27	SYSD	01			Вход «Признак системы»
28	ISHODD	01			Вход «Имитация схода»
29	SHODD	01			Вход «Сход»
30	SRKD	01			Вход дешифратора РК
31	STOPTD	01			Вход «Остановка функций»
32	VCC				Питание
33	ZOTD	01	LHz		Выход «Ответчик»
34	TDATAD	01	LHz		Выход телеметрии «Данные»
35	TTAKTD	01	LHz		Выход телеметрии «Передача»
36	TCLKD		LHz		Выход телеметрии «Частота»
37	T240D		LHz		Выход «РК такт»
38	RW	01		u	Чтение/запись данных
39	DS	01		u	Выборка данных
40	STRB	01		u	Строб адреса
41	CLK2	-			Вход частоты 2
42	CLK1	-			Вход частоты 1
43	D15	01	LH	U	Разряд 15 шины данных

Подпись и дата

Инв. № дубл.

Взаим. инв. №

Подпись и дата

Инв. № подлин

Лист

ГАВЛ.431260.337 Д

5

Изм Лист № документа Подпись Дата

Продолжение таблицы 1

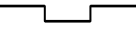
Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
44	D14	01	LH	U	Разряд 14 шины данных
45	D13	01	LH	U	Разряд 13 шины данных
46	D12	01	LH	U	Разряд 12 шины данных
47	D11	01	LH	U	Разряд 11 шины данных
48	GND			U	Общий
49	D10	01	LH	U	Разряд 10 шины данных
50	D9	01	LH	U	Разряд 9 шины данных
51	D8	01	LH	U	Разряд 8 шины данных
52	D7	01	LH	U	Разряд 7 шины данных
53	D6	01	LH	U	Разряд 6 шины данных
54	D5	01	LH	U	Разряд 5 шины данных
55	D4	01	LH	U	Разряд 4 шины данных
56	D3	01	LH	U	Разряд 3 шины данных
57	D2	01	LH	U	Разряд 2 шины данных
58	D1	01	LH	U	Разряд 1 шины данных
59	D0	01	LH	U	Разряд 0 шины данных
61	KODLKD		LHz		Пизнак кода ЛК
62	SYSTEM	01	LHz		Пизнак системы
63	TUFP	01			Вход телеметрии «УФП»
64	VCC				Питание

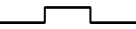
Инь. № подлин	Подпись и дата	Взаим. инв. №	Инь. № дубл.	Подпись и дата

2.5.4. В течение одной элементарной проверки состояние любого вывода представляют одним из следующих условных символов :

"0" - вход, низкий уровень напряжения;

"1" - вход, высокий уровень напряжения;

"-" - вход, импульсное напряжение типа ("  ");

"+" - вход, импульсное напряжение типа ("  ");

"X" - выход, непроверяемый;

"L" - выход, низкий уровень напряжения;

"H" - выход, высокий уровень напряжения;

"l" - выход, низкий уровень напряжения с низкой нагрузочной способностью;

"h" - выход, высокий уровень напряжения с низкой нагрузочной способностью;

"Z" - выход, непроверяемое высокоимпедансное состояние;

"u" - выход, высокоимпедансное состояние, высокий уровень напряжения за счет внутреннего резистора.

"d" - выход, высокоимпедансное состояние, низкий уровень напряжения за счет внутреннего резистора.

"U" - выход, высокоимпедансное состояние, высокий уровень напряжения за счет внешнего нагрузочного резистора.

"D" - выход, высокоимпедансное состояние, низкий уровень напряжения за счет внешнего нагрузочного резистора.

2.5.5. Динамические параметры "ЭП"

Период "ЭП" задан абсолютным значением в секундах, а остальные параметры - в процентах от периода "ЭП":

минимальный период "ЭП", с.....1E-6

задержка для проверки выходов.....95 %

2.5.6. В тестовой последовательности 000-файл описаны ЭП с 0 по 31999.

В тестовой последовательности 001-файл ЭП" с 32000 по 63999.

В тестовой последовательности 002-файл ЭП" с 64000 по 83039.

Инв. № подлин	Подпись и дата
	Инв. № дубл.
Инв. № инв.	Взаим. инв. №
	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

Таблица 2

Условные обозначения и состояния выводов микросхемы

Номера элементарных проверок

112222222222333333333344444444445555555555666
2345678907901234567890134567890123456790123456789123

- 0> 0000000000XXX0000000010XXXXX111--UUUUUUUUUUUUUUUUXX0;
- 1> 0000000000XXX0000000010XXXXX111--UUUUUUUUUUUUUUUUXX0;
- 2> 0000000000XXX0000000010XXXXX111--UUUUUUUUUUUUUUUUXX0;
- 3> 0010000000ННН0000000010LНННL111--UUUUUUUUUUUUUUUUXX0;
- 4> 0010000000ННН0000000010LНННL111--UUUUUUUUUUUUUUUUXX0;
- 5> 0010000000ННН0000000010LНННL111--UUUUUUUUUUUUUUUUXX0;
- 6> 0010000000ННН0000000010LНННL111--UUUUUUUUUUUUUUUUXX0;
- 7> 0010000000ННН0000000010LНННL111--UUUUUUUUUUUUUUUUXX0;
- 8> 0000011010ННН0100100010НННL001--0000000000000001XX0;
- 9> 0000011010ННН0100100010НННL000--0000000000000001XX0;
- 10> 0000011010ННН0100100010НННL001--0000000000000001LH0;
- 11> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 12> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 13> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 14> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 15> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 16> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 17> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 18> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 19> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 20> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 21> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 22> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 23> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 24> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 25> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 26> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 27> 0000000000ННН0100100010НННL111--UUUUUUUUUUUUUUUUULH0;
- 28> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 29> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 30> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 31> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 32> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 33> 0000000000ННН0100100000LНННL111--UUUUUUUUUUUUUUUUULH0;
- 34> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 35> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 36> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 37> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 38> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 39> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 40> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 41> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 42> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 43> 0000000000ННН0100100000LНННL111--UUUUUUUUUUUUUUUUULH0;
- 44> 0000000000ННН0100100000LНННL111--UUUUUUUUUUUUUUUUULH0;
- 45> 0000000000ННН0100100000LНННL111--UUUUUUUUUUUUUUUUULH0;
- 46> 0000000000ННН0100100000LНННL111--UUUUUUUUUUUUUUUUULH0;
- 47> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 48> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 49> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;
- 50> 0000000000ННН0100100010LНННL111--UUUUUUUUUUUUUUUUULH0;

Инь. № подлин		Подпись и дата	
Взаим. инв. №		Инь. № дубл.	
Подпись и дата			

Изм	Лист	№ документа	Подпись	Дата	

ГАВЛ.431260.337 Д

3. ЭЛЕКТРИЧЕСКИЕ ПАРАМЕТРЫ И РЕЖИМЫ

3.1 Электрические параметры микросхемы, режимы и условия их измерений должны соответствовать ТУ.

3.2 Контроль качества микросхемы выполнять по ТУ в режимах и условиях, указанных в Таблице норм ГАВЛ.431260.023 ТБ с дополнениями и уточнениями, приведенными в настоящем разделе.

3.2.1 Функциональный контроль выполнять в соответствии с Таблицей 2.

3.2.2 Измерение выходного напряжения низкого уровня (U_{OL}) и высокого уровня (U_{OH}) микросхемы выполнять в соответствии с Таблицей 2 по методике, приведенной в ТУ.

3.2.3 Ток потребления (I_{CC}) измерять после 763 элементарной проверки.

3.2.4 Измерение токов утечки I_{LIL} и I_{LIH} по выводам выполнять на любой элементарной проверке.

Измерение токов утечки I_{LIL} и I_{LIH} по входам 5 – 10, 38, 39 выполнять на любой элементарной проверке с учётом того, что указанные входы имеют внутренние резисторы доопределения до высокого уровня с номиналом в диапазоне 78 – 161 кОм в нормальных условиях и 49 – 261 кОм в диапазоне температур.

Измерение токов утечки I_{LIL} и I_{LIH} по входу 40 выполнять на любой элементарной проверке с учётом того, что указанные входы имеют внутренние резисторы доопределения до высокого уровня с номиналом в диапазоне 20 – 50 кОм в нормальных условиях и 12 – 80 кОм в диапазоне температур.

3.2.5 Измерение токов утечки I_{OZL} и I_{OZH} в высокоимпедансном состоянии выполнять на любой элементарной проверке.

Измерение токов утечки I_{LIL} и I_{LIH} по входам 43 – 47, 49 – 59 выполнять на любой элементарной проверке с учётом того, что указанные входы имеют внутренние резисторы доопределения до высокого уровня с номиналом в диапазоне 78 - 161 кОм в нормальных условиях и 49 – 261 кОм в диапазоне температур.

3.2.6 Временные параметры сигналов на выходах микросхемы не измерять.

Инв. № подлин	Подпись и дата
	Инв. № дубл.
	Взаим. инв. №
	Подпись и дата
	Инв. № подлин

					ГАВЛ.431260.337 Д	Лист
						9
Изм	Лист	№ документа	Подпись	Дата		

3.3. Испытания микросхемы на воздействие повышенной рабочей температуры среды, пониженного атмосферного давления, акустического шума, инея и росы, безотказность, долговечность, виброустойчивость, граничные испытания, влагоустойчивость и электротермотренировки (ЭТТ) проводить по методике, приведенной в ТУ.

3.4 До освоения в серийном производстве приемку и отгрузку микросхемы проводить по результатам приемно-сдаточных испытаний в соответствии с настоящей картой заказа и ТУ.

3.5. В соответствии с РД 110755-90 допускается проведение ускоренных испытаний на безотказность и долговечность.

4. ГАРАНТИИ ЗАКАЗЧИКА

Заказчик гарантирует полноту технического описания структурной схемы, режимов и временных диаграмм работы микросхемы, представленных в приложении к настоящей карте заказа.

Инв. № подлин	Подпись и дата	
	Инв. № дубл.	
	Взаим. инв. №	
	Подпись и дата	

Изм	Лист	№ документа	Подпись	Дата

Г А В Л . 4 3 1 2 6 0 . 3 3 7 Д

Лист

10

Приложение А

А.1 Назначение и состав микросхемы

А.1.1 Микросхема должна обеспечивать прием входных и формирование выходных сигналов заданного уровня.

А.1.2 Структурная схема микросхемы представлена на рис. А.1.

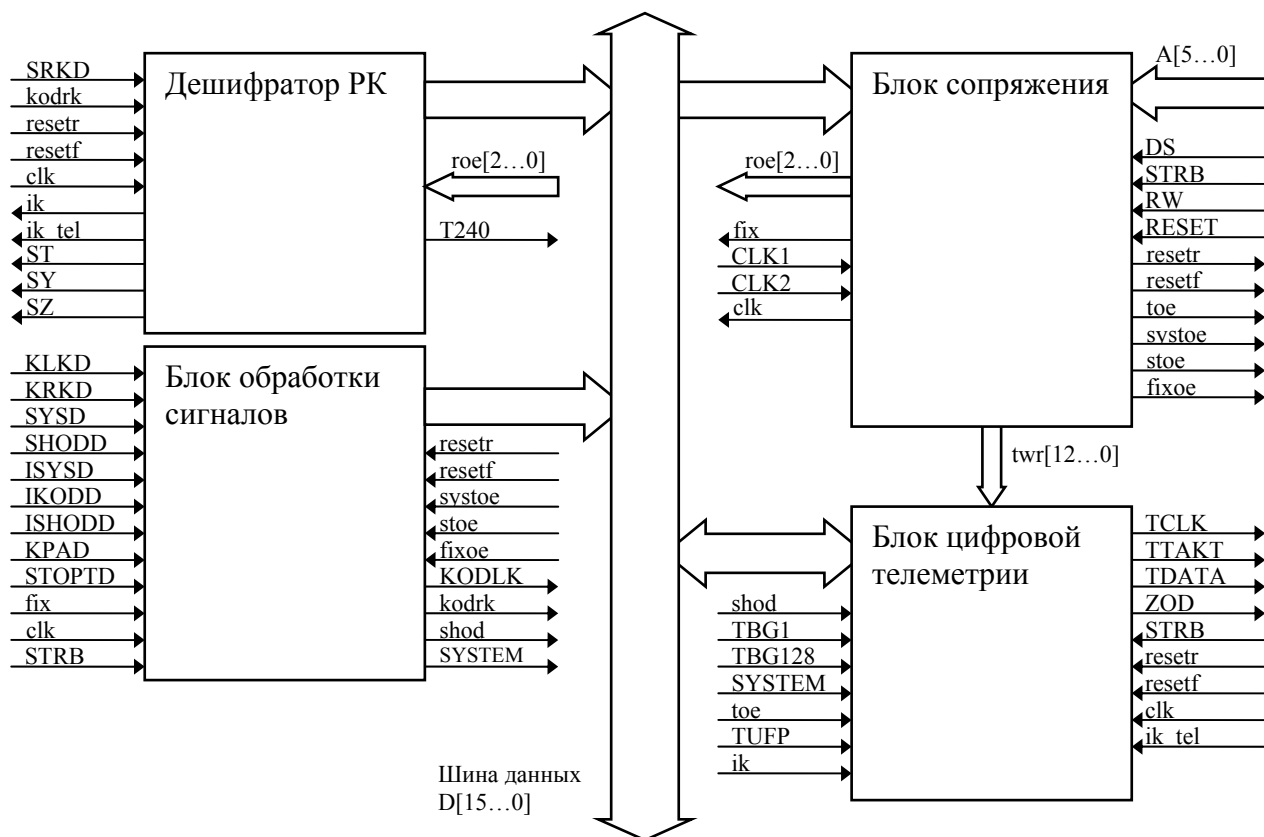


Рис. А.1 Структурная схема БИС

А.2 Требования к электропитанию

А.2.1 Напряжение питания БИС по цепи «VCC» ($5 \pm 0,25$) В относительно цепи «GND».

Скорость нарастания напряжений питания при выходе внешних источников питания на режим от 5 В/с до 10 В/мс. В процессе работы БИС возможно кратковременное (до 20 мс) снижение напряжения питания до уровня 4 В.

А.2.2 Ток потребления БИС не должен превышать 50 мА при значении тактовой частоты по цепям «CLK1» и «CLK2» 4 МГц.

А.3 Описание функционирования блоков БИС.

А.3.1. Функционирование блока обработки сигналов.

А.3.1.1. Структурная схема блока обработки сигналов представлена на рис.А.2.

Инв. № дубл.	Подпись и дата
Взаим. инв. №	Подпись и дата
Инв. № подлин	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

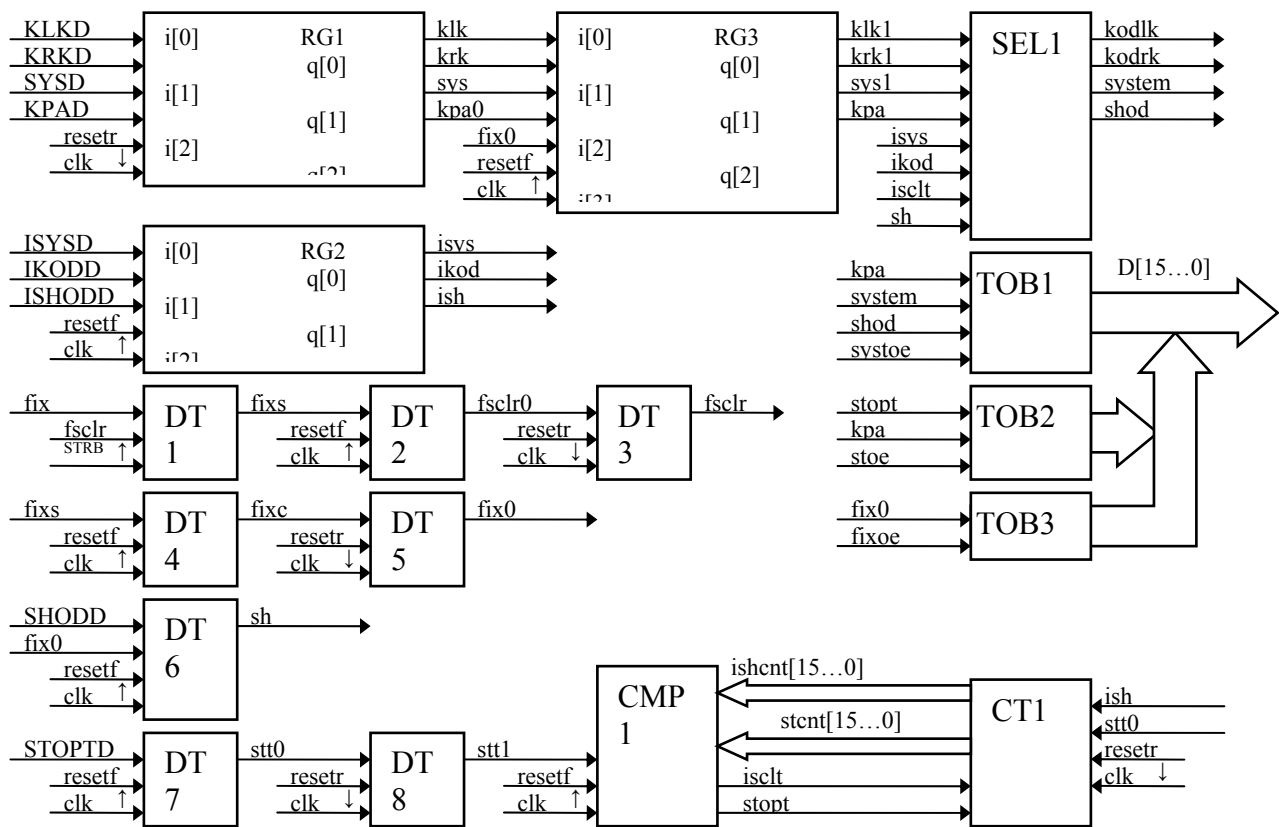


Рис.А.2 Структурная схема блока обработки сигналов

А.3.1.2 Регистр RG1 должен формировать выход q[3...0] согласно таблице А.3.1.

А.3.1.3 Регистр RG2 должен формировать выход q[2...0] согласно таблице А.3.2.

А.3.1.4 Триггер DT1 должен формировать сигнал fixs согласно таблице А.3.3.

Таблица А.3. 1.

Таблица А.3.3.

restr	clk	q[3...0]
L	X	“0d”
H	↓	i[3...0]

Таблица А.3.2.

resetf	clk	q[2...0]
L	X	“0d”
H	↑	i[2...0]

fscrl	STRB	fix	fixs
H	X	X	L
L	↑	L	L
		H	H

А.3.1.5 Триггер DT2 должен формировать сигнал fix0 согласно таблице А.3.4.

А.3.1.6 Триггер DT3 должен формировать сигнал fscrl согласно таблице А.3.5..

А.3.1.7 Триггер DT4 должен формировать сигнал fixs согласно таблице А.3.6.

Таблица А.3. 4.

resetf	clk	fixs	fscrl0
L	X	X	H
H	↑	L	L
		H	H

Таблица А.3.5.

restr	clk	fscrl0	fscrl
L	X	X	H
H	↓	L	L
		H	H

Инв. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

ГАВЛ.431260.337 Д

Таблица А.3.6.

resetr	clk	fixs	fixc
L	X	X	L
H	↓	L	L
		H	H

А.3.1.8. Триггер DT5 должен формировать сигнал fix0 согласно таблице А.3.7.

А.3.1.9. Триггер DT6 должен формировать сигнал sh согласно таблице А.3.8.

А.3.1.10. Регистр RG3 должен формировать выход q[3...0] согласно таблице А.3.9.

А.3.1.11. Блок SEL1 должен обеспечивать формирование сигналов kodlk, kodrk, system и shod согласно таблицам А.3.10 - А.3.13.

А.3.1.12. Триггер DT7 должен формировать сигнал stt0 согласно таблице А.3.14.

А.3.1.13. Триггер DT8 должен формировать сигнал stt1 согласно таблице А.3.15.

Таблица А.3.7.

resetr	clk	fixc	fix0
L	X	X	L
H	↓	L	Q ⁰
		H	H

Таблица А.3.8.

resetf	clk	fix0	SHODD	sh
L	X	X	X	L
H	↑	L	X	L
		H	L	Q ⁰
			H	H

Таблица А.3.9.

resetf	clk	fix0	q[3...0]
L	X	X	“0d”
H	↑	L	i[3...0]
		H	Q ⁰

Таблица А.3.10

kpa	ikod	klk1	krk1	kodlk
L	L	X	X	H
	H	X	X	L
H	X	L	X	H
		H	L	L
			H	H

Таблица А.3.11

kpa	ikod	krk1	kodrk
L	L	X	H
	H	X	L
H	X	L	L
		H	H

Таблица А.3.12

resetf	clk	STOPTD	stt0
L	X	X	L
H	↑	L	L
		H	H

Таблица А.3.13

Таблица А.3.14

kpa	ishcntrlt	sh	shod
L	L	X	L
	H	X	H
H	X	L	L
		H	H

kpa	sys1	isys	system
L	L	X	L
	H	X	H
H	X	L	L
		H	H

Инв. № дубл.	Взаим. инв. №	Подпись и дата	Подпись и дата
			Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.3.15

restr	clk	stt0	stt1
L	X	X	L
H	↓	L	L
		H	H

А.3.1.14. Блок сравнения CMP1 должен формировать сигналы stopt и isclt согласно таблицам А.3.16 и 6.3.1.17.

А.3.1.15. Счетчик СТ1 должен формировать выходы stcnt[15...0] и ishcnt[15...0] согласно таблицам А.3.18 и А.3.19. На выходах счетчика должен находиться 16-ти разрядный двоичный параллельный код.

resetf	clk	stcnt[15...0]	stt1	stopt
L	X	X	X	L
H	↑	< “40000d”	X	Q ⁰
		≥ “40000d”	L	L
			H	H

Таблица А.3.16

Таблица А.3.17

resetf	clk	ishcnt[15...0]	isclt
L	X	X	L
H	↑	< “40000d”	H
		≥ “40000d”	L

Таблица А.3.18

restr	clk	sst0	stopt	stcnt[15...0]
L	X	X	X	“0d”
H	↓	L	L	“0d”
			H	Q ⁰ + 1
		H	L	Q ⁰ + 1
			H	“0d”

Таблица А.3.19

restr	clk	ish	isclt	ishcnt[15...0]
L	X	X	X	“40000d”
H	↓	H	X	“0d”
			L	Q ⁰
		H	Q ⁰ + 1	

А.3.1.16. Буфер TOB1 должен выдавать на шину D[15...0] данные в течение высокого уровня сигнала “systoe” в соответствии с таблицей А.3.20. При низком уровне сигнала “systoe” логические уровни выхода буфера не должны поступать на шину D[15...0].

А.3.1.17. Буфер TOB2 должен выдавать на шину D[15...0] данные в течение высокого уровня сигнала “stoe” в соответствии с таблицей А.3.21. При низком уровне сигнала “stoe” логические уровни выхода буфера не должны поступать на шину D[15...0].

А.3.1.18. Буфер TOB3 должен выдавать на шину D[15...0] данные в течение высокого уровня сигнала “fixoe” в соответствии с таблицей А.3.22. При низком уровне сигнала “fixoe” логические уровни выхода буфера не должны поступать на шину D[15...0].

Инь. № подлин	Подпись и дата
Взаим. инв. №	Инь. № дубл.
Подпись и дата	Инь. № дубл.
Инь. № подлин	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.3.20

kpa	sytem	shod	D[0]	D[1]	D[2]	D[15...3]
L	L	L	L	L	H	"0d"
		H	H			
	H	L	L	H		
		H	H			
H	L	L	L	L	L	
		H	H			
	H	L	L	H		
		H	H			

Таблица А.3.21

kpa	stopt	D[15...0]
L	L	"0000h"
	H	"FFFFh"
H	X	"FFFFh"

Таблица А.3.22

fix0	D[15...0]
L	"0000h"
H	"5555h"

А.4. Функционирование блока сопряжения.

А.4.1 Блок сопряжения должен формировать сигналы $roe[2...0]$, $twr[12...0]$, fix , toe , $systoe$, $stoe$, $fixoe$ согласно таблицам 6.4.1 - 6.4.7 соответственно. На входе $A[5...0]$ находится 6-ти разрядный двоичный параллельный код.

Таблица А.4.1

DS	STRB	RW	A[5...0]	roe[2...0]
H	X	X	X	"0h"
L	H	X	X	"0h"
		L	X	"0h"
	H	"2d"	"1h"	
		"3d"	"2h"	
		"4d"	"4h"	
		"Xd"	"0h"	

Таблица А.4.2

DS	RW	A[5...0]	twr[12...0]
H	X	X	"0h"
L	H	X	"0h"
L	L	"2d"	"1h"
		"3d"	"2h"
		"4d"	"4h"
		"5d"	"8h"
		"6d"	"10h"
		"7d"	"20h"
		"8d"	"40h"
		"9d"	"80h"
		"10d"	"100h"
		"11d"	"200h"
		"12d"	"400h"
		"42d"	"800h"
		"38d"	"1000h"
		"Xd"	"0h"

Таблица А.4.3

DS	RW	A[5...0]	fix
H	X	X	L
L	H	X	L
		"44d"	H
	"Xd"	L	

Инв. № подлин	Подпись и дата
	Инв. № дубл.
	Взаим. инв. №
	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.4.4

DS	STRB	RW	A[5...0]	toe
H	X	X	X	L
L	H	X	X	L
	L	L	X	L
		H	"42d"	H
			"Xd"	L

Таблица А.4.5

DS	STRB	RW	A[5...0]	systoe
H	X	X	X	L
L	H	X	X	L
	L	L	X	L
		H	"1d"	H
			"Xd"	L

Таблица А.4.6

DS	STRB	RW	A[5...0]	stoe
H	X	X	X	L
L	H	X	X	L
	L	L	X	L
		H	"43d"	H
			"Xd"	L

Таблица А.4.7

DS	STRB	RW	A[5...0]	fixoe
H	X	X	X	L
L	H	X	X	L
	L	L	X	L
		H	"44d"	H
			"Xd"	L

- Примечание:
1. обозначение "Xd" - любые значения кроме перечисленных;
 2. символ "h" обозначает число в шестнадцатеричном формате;
 3. символ Z обозначает высокоомное («третье») состояние выхода.

А.4.2. Блок сопряжения должен формировать тактовую частоту clk, сигналы resetr и resetf согласно рисунку А.3 и таблицам А.4.8 - А.4.11.

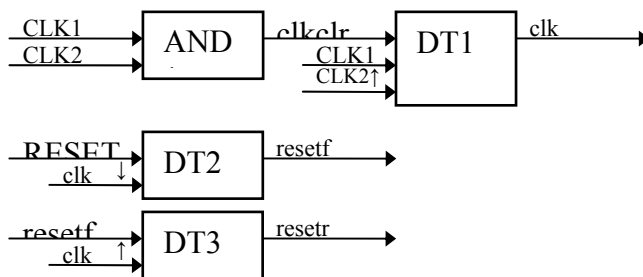


Рис.А.3

Таблица А.4.8.

CLK2	CLK1	clkclr
L	H	H
	L	L
H	X	L

Таблица А.4.9.

clkclr	CLK2	CLK1	clk
H	X	X	L
L	↑	L	H
		H	L

Таблица А.4.10.

clk	RESET	resetf
↓	L	L
	H	H

Таблица А.4.11.

clk	resetf	resetr
↑	L	L
	H	H

Подпись и дата

Инв. № дубл.

Взаим. инв. №

Подпись и дата

Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

А.5. Функционирование блока цифровой телеметрии.

А.5.1. Структурная схема блока цифровой телеметрии представлена на рис. А.4.

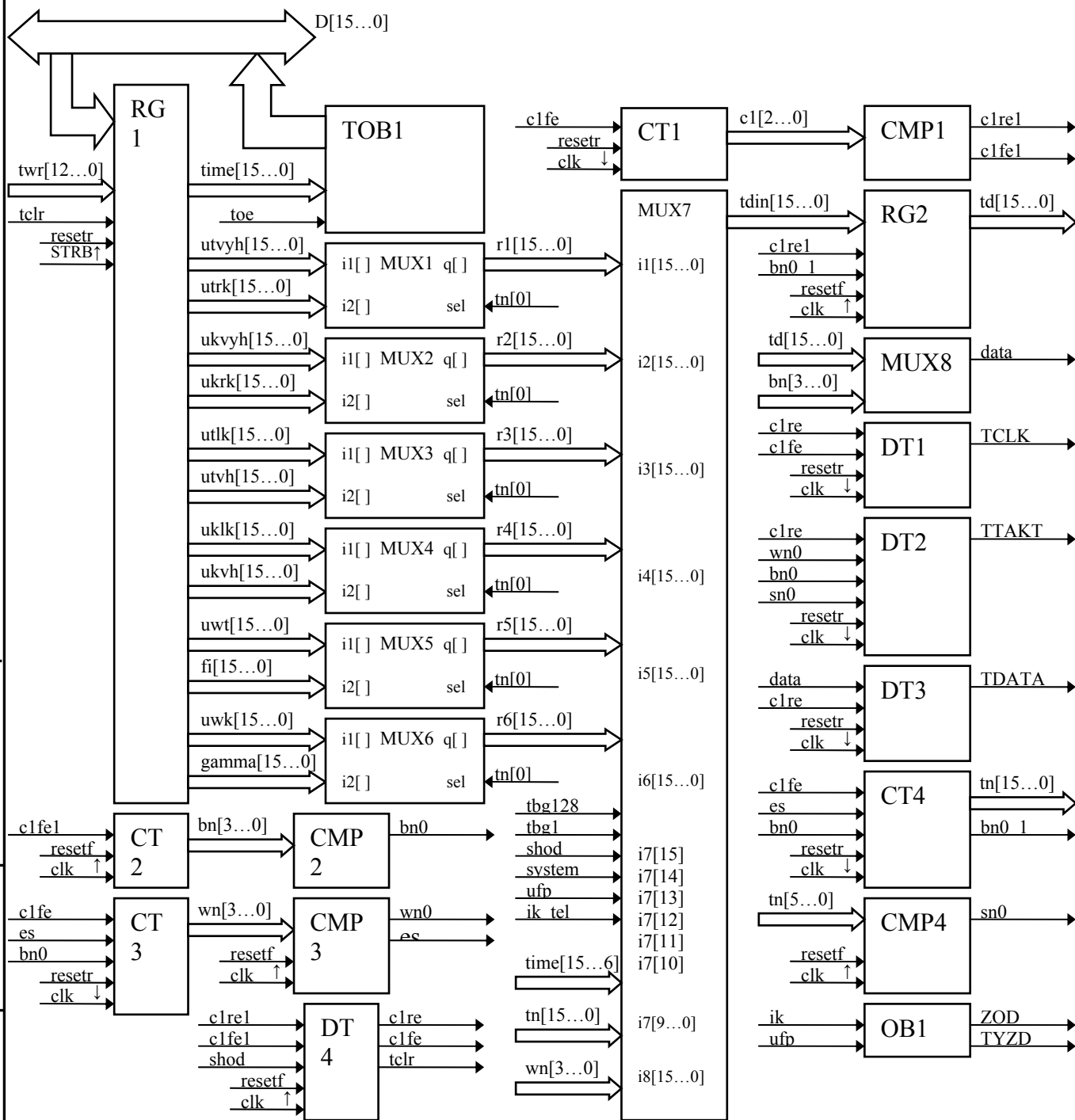


Рис. А.4 Структурная схема блока цифровой телеметрии

А.5.2. Блок регистров RG1 должны формировать выходные сигналы согласно таблицам А.5.2.1 – А.5.2.13

Инв. № подлин	Подпись и дата
	Инв. № дубл.
Инв. № подлин	Подпись и дата
	Взаим. инв. №

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.2.1

resetr	STRB	twr[0]	fi[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.2

resetr	STRB	twr[1]	utvyh[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.3

resetr	STRB	twr[2]	ukvyh[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.4

resetr	STRB	twr[3]	utlk[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.5

resetr	STRB	twr[4]	uklk[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.6

resetr	STRB	twr[5]	uwt[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.7

resetr	STRB	twr[6]	uwk[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.8

resetr	STRB	twr[7]	utrk[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.9

resetr	STRB	twr[8]	ukrk[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.10

resetr	STRB	twr[9]	utvh[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.11

resetr	STRB	twr[10]	ukvh[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

Таблица А.5.2.12

resetr	STRB	tclr	twr[11]	time[15...0]
L	X	X	X	“0d”
H	↑	H	X	“0d”
			L	Q ⁰
		H	D[15...0]	

Инв. № подлин	Подпись и дата
	Инв. № дубл.
	Взаим. инв. №
	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.2.13

restr	STRB	twr[12]	gamma[15...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	D[15...0]

А.5.3. Буфер ТОВ1 должен выдавать на шину D[15...0] входные данные в течение высокого уровня сигнала “toe”. При низком уровне сигнала “toe” логические уровни выхода буфера не должны поступать на шину D[15...0].

А.5.4. Мультиплексор MUX8 должны формировать сигнал data согласно таблице А.5.2.14.

А.5.5 Мультиплексоры MUX1 – MUX6 должны формировать выход q[15...0] согласно таблице А.5.2.15.

А.5.6 Мультиплексор MUX7 должны формировать выход tdin[15...0] согласно таблице А.5.2.16.

А.5.7 Регистр RG2 должны формировать выход td[15...0] согласно таблице А.5.2.17.

А.5.8. Счетчик СТ1 должен формировать выход c1[2...0] согласно таблице А.5.2.18. На выходе счетчика должен находиться 3-х разрядный двоичный параллельный код.

А.5.9. Блок сравнения CMP1 должен формировать сигналы c1rel, c1fel согласно таблицам А.5.2.19, А.5.2.20.

Таблица А.5.2.14

bn[3...0]	data
“0d”	td[0]
“1d”	td[1]
“2d”	td[2]
“3d”	td[3]
“4d”	td[4]
“5d”	td[5]
“6d”	td[6]
“7d”	td[7]
“8d”	td[8]
“9d”	td[9]
“10d”	td[10]
“11d”	td[11]
“12d”	td[12]
“13d”	td[13]
“14d”	td[14]
“15d”	td[15]

Таблица А.5.2.15

sel	q[15...0]
L	i2[15...0]
H	i1[15...0]

Таблица А.5.2.16

s[3...0]	tdin[15...0]
“0d”	i8[15...0]
“2d”	i1[15...0]
“3d”	i2[15...0]
“5d”	i3[15...0]
“6d”	i4[15...0]
“8d”	i5[15...0]
“9d”	i6[15...0]
“Xd”	i7[15...0]

Инв. № подлин	Подпись и дата
	Инв. № дубл.
	Взаим. инв. №
	Подпись и дата
	Инв. № подлин

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.2.17

resetf	clk	c1re1	bn0_1	td[15...0]
L	X	X	X	“0d”
H	↑	L	X	Q ⁰
		H	L	Q ⁰
			H	tdin[15...0]

Таблица А.5.2.18

resetr	clk	c1fe	c1[2...0]
L	X	X	“0d”
H	↓	L	Q ⁰ + 1
		H	“0d”

Таблица А.5.2.19

c1[2...0]	c1re1
= “1d”	H
≠ “1d”	L

Таблица А.5.2.20

c1[2...0]	c1fe1
≥ “3d”	H
< “3d”	L

А.5.10 Триггер DT4 должен формировать сигналы c1re, c1fe и tclr согласно таблицам А.5.2.21, 2.22 и 2.23.

А.5.11. Блок сравнения CMP2 должен формировать сигнал bn0 согласно таблице А.5.2.24.

Таблица А.5.2.21

resetf	clk	c1re1	c1re
L	X	X	L
H	↑	L	L
		H	H

Таблица А.5.2.22

resetf	clk	c1fe1	c1fe
L	X	X	L
H	↑	L	L
		H	H

Таблица А.5.2.23

resetf	clk	shod	tclr
L	X	X	L
H	↑	L	H
		H	L

Таблица А.5.2.24

bn[3...0]	bn0
= “0d”	H
≠ “0d”	L

А.5.12. Счетчик СТ2 должен формировать выход bn[3...0] согласно таблице А.5.2.25. На выходе счетчика должен находиться 4-х разрядный двоичный параллельный код.

А.5.13. Блок сравнения CMP3 должен формировать сигналы wn0, es согласно таблицам А.5.2.26, А.5.2.27.

Таблица А.5.2.25

resetf	clk	c1fe1	bn[3...0]
L	X	X	“0d”
H	↑	L	Q ⁰
		H	Q ⁰ + 1

Таблица А.5.2.26

resetf	clk	wn[3...0]	wn0
L	X	X	H
H	↑	= “0d”	H
		≠ “0d”	L

Инв. № подлин	Подпись и дата
	Инв. № дубл.
	Взаим. инв. №
	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.2.27

resetf	clk	wn[3...0]	es
L	X	X	L
H	↑	≥ “9d”	H
		< “9d”	L

А.5.2.14. Счетчик СТЗ должен формировать выход wn[3...0] согласно таблице А.5.2.26. На выходе счетчика должен находиться 4-х разрядный двоичный параллельный код.

А.5.2.15. Блок сравнения СМР4 должен формировать сигналы sn0 согласно таблице А.5.2.30.

А.5.2.16. Счетчик СТ4 должен формировать выход tn[15...0] согласно таблице А.5.2.29 и сигнал bn0_1 согласно таблице А.5.2.31. На выходе tn[15...0] счетчика должен находиться 16-ти разрядный двоичный параллельный код.

А.5.2.17. Триггер DT1 должен формировать сигнал TCLK согласно таблице А.5.2.32.

А.5.2.18. Триггер DT2 должен формировать сигнал TТАКТ согласно таблице А.5.2.33.

А.5.2.19. Триггер DT3 должен формировать сигнал TDATA согласно таблице А.5.2.34.

Таблица А.5.2.28

resetr	clk	c1fe	bn0	es	wn[3...0]
L	X	X	X	X	“0d”
H	↓	L	X	X	Q ⁰
			H	X	Q ⁰
		H	L	Q ⁰ + 1	
			H	“0d”	

Таблица А.5.2.29

resetr	clk	c1fe	bn0	es	tn[15...0]
L	X	X	X	X	“0d”
H	↓	L	X	X	Q ⁰
			H	X	Q ⁰
		H	L	Q ⁰	
			H	Q ⁰ + 1	

Таблица А.5.2.30

resetf	clk	tn[5...0]	sn0
L	X	X	H
H	↑	= “0d”	H
		≠ “0d”	L

Таблица А.5.2.31

resetr	clk	bn0	bn0_1
L	X	X	H
H	↓	L	L
		H	H

Инь. № подлин	Подпись и дата	Взаим. инв. №	Инь. № дубл.	Подпись и дата

Таблица А.5.2.32

resetr	clk	clre	clfe	TCLK
L	X	X	X	H
H	↓	L	L	Q ⁰
			H	H
		H	X	L

Таблица А.5.2.33

resetr	clk	clre	bn0	wn0	sn0	ТТАКТ
L	X	X	X	X	X	H
H	↓	L	X	X	X	Q ⁰
			H	L	X	X
		H	L	X	X	H
			H	L	X	H
			H	L	L	

Таблица А.5.2.34

resetr	clk	clre	data	TDATA
L	X	X	X	H
H	↓	L	X	Q ⁰
		H	L	H
			H	L

А.5.2.20. Буфер OB1 должен выдавать на выход ZOD низкий уровень в течение высокого уровня сигнала “ik”. При низком уровне сигнала “ik” выход ZOD буфера должен находиться в «третьем» состоянии. Также буфер OB1 должен выдавать на выход TYZD низкий уровень в течение низкого уровня сигнала “ufp”. При высоком уровне сигнала “ufp” выход TYZD буфера должен находиться в «третьем» состоянии.

А.5.3 Функционирование дешифратора РК.

А.5.3.1. Структурная схема дешифратора РК представлена на рис.А.5.

А.5.3.2. Буферы TOB1 – TOB3 должны выдавать на шину D[15...0] входные данные в течение высокого уровня сигнала goe[0], goe[1] и goe[2] соответственно, при этом младшие разряды входного сигнала должны поступать на младшие разряды шины D, а старшие разряды на старшие (разряд D[15] - низкий уровень). При низком уровне соответствующего сигнала goe[] логические уровни не должны поступать на шину D[15...0].

А.5.3.3. Структурная схема дешифратора троек РК представлена на рис. А.6.

А.5.3.3.1. Триггер DT1 должен формировать сигнал srk0 согласно таблице А.5.3.3.1.

А.5.3.3.2. Триггер DT2 должен формировать сигнал srk1 согласно таблице А.5.3.3.2.

А.5.3.3.3. Триггер DT3 должен формировать сигнал srk2 согласно таблице А.5.3.3.3.

А.5.3.3.4. Блок AND1 должен формировать сигналы skre и skfe согласно таблицам А.5.3.3.4 и А.5.3.3.5.

А.5.3.3.5. Счетчик СТ1 должен формировать выход trcnt[5...0] согласно таблице

Инв. № подлин	Подпись и дата
	Инв. № дубл.
	Взаим. инв. №
	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

А.5.3.3.6. На выходе счетчика должен находиться 6-ти разрядный двоичный параллельный код.

Таблица А.5.3.3.1

resetf	clk	SRKD	srk0
L	X	X	L
H	↑	L	H
		H	L

Таблица А.5.3.3.2

resetr	clk	srk0	srk1
L	X	X	L
H	↓	L	L
		H	H

Таблица А.5.3.3.3

resetf	clk	srk1	srk2
L	X	X	L
H	↑	L	L
		H	H

Таблица А.5.3.3.4

slk0	slk2	srkre
L	X	L
H	L	H
	H	L

Таблица А.5.3.3.5

srk0	srk2	irkge	irkle	srkfe
H	X	X	X	L
L	H	L	X	L
		H	L	L
			H	H

Таблица А.5.3.3.6

resetf	clk	strk0[2...0]	trcnt[5...0]
L	X	X	“0d”
H	↑	= “0d”	“0d”
		≠ “0d”	$Q^0 + 1$

Инв. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

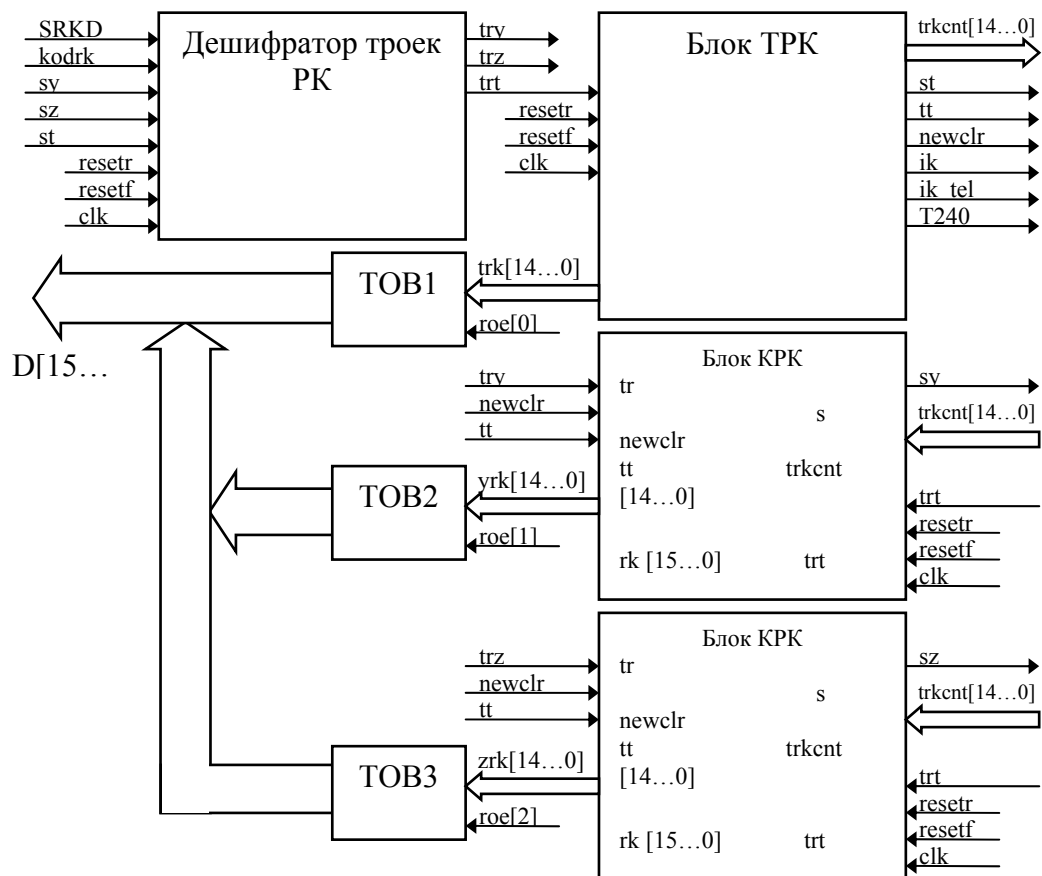


Рис. А.5

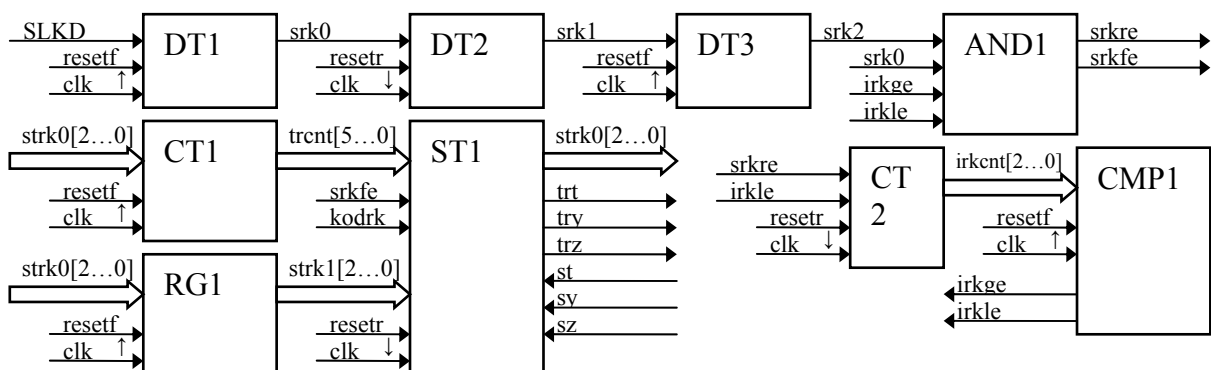


Рис. А.6 Структурная схема дешифратора троек РК

А.5.3.3.6. Счетчик СТ2 должен формировать выход $irkcnt[2...0]$ согласно таблице

А.5.3.3.7. На выходе счетчика должен находиться 3-х разрядный двоичный параллельный код.

А.5.3.3.7. Блок сравнения CMP1 должен формировать сигналы $irkge$ и $irkle$ согласно таблицам А.5.3.3.8 и А.5.3.3.9.

Инв. № подлин	Подпись и дата
	Инв. № дубл.
Инв. № инв.	Взаим. инв. №
	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.3.3.7

resetr	clk	srkre	irkle	irkcnt[2...0]
L	X	X	X	“5d”
H	↓	H	X	“0d”
		L	L	Q^0
			H	$Q^0 + 1$

Таблица А.5.3.3.8

resetf	clk	irkcnt[2...0]	irkge
L	X	X	H
H	↑	< “2d”	L
		≥ “2d”	H

Таблица А.5.3.3.9

resetf	clk	irkcnt[3...0]	irkle
L	X	X	L
H	↑	≤ “4d”	H
		> “4d”	L

А.5.3.3.8. Регистр RG1 должен формировать выход strk1[2...0] согласно таблице А.5.3.3.10.

А.5.3.3.9. Блок ST1 должен формировать сигналы trt, strk0[2...0], try, trz согласно таблицам А.5.3.3.11 – А.5.3.3.14. На выходе strk0[2...0] должен находиться 3-х разрядный двоичный параллельный код.

Таблица А.5.3.3.10

resetf	clk	strk1[2...0]
L	X	“0d”
H	↑	strk0[2...0]

Таблица А.5.3.3.11

resetr	clk	strk1[2...0]	kodrk	trcnt[5...0]	srkfe	st	trt
L	X	X	X	X	X	X	L
H	↓	“3d”	L	≥ “28d”	X	X	L
				< “28d”	H	L	L
				≥ “22d”		H	H
					L	X	L
			< “22d”	X	X	L	
			H	≥ “44d”	X	X	L
				< “44d”	H	L	L
				≥ “38d”		H	H
	L	X		L			
< “38d”	X	X	L				
	“Xd”	X	X	X	X	L	

Инь. № подлин	Подпись и дата	Взаим. инв. №	Инь. № дубл.	Подпись и дата
---------------	----------------	---------------	--------------	----------------

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.3.3.12

resetr	clk	strk1[2...0]	kodrk	trcnt[5...0]	srkfe	strk0[2...0]
L	X	X	X	X	X	"0d"
H	↓	"0d"	X	X	L	"0d"
					H	"1d"
		"1d"	L	≥ "15d"	X	"4d"
				< "15d"	H	"3d"
				≥ "9d"	L	"1d"
				< "9d"	X	"1d"
			H	≥ "15d"	X	"2d"
				< "15d"	H	"5d"
				≥ "9d"	L	"1d"
				< "9d"	X	"1d"
		"2d"	X	≥ "31d"	X	"0d"
				< "31d"	H	"3d"
				≥ "25d"	L	"2d"
				< "25d"	X	"2d"
		"3d"	L	≥ "28d"	X	"0d"
				< "28d"	H	"0d"
				≥ "22d"	L	"3d"
				< "22d"	X	"3d"
			H	≥ "44d"	X	"0d"
				< "44d"	H	"0d"
				≥ "38d"	L	"3d"
				< "38d"	X	"3d"
		"4d"	X	≥ "23d"	X	"0d"
				< "23d"	H	"5d"
				≥ "17d"	L	"4d"
				< "17d"	X	"4d"
		"5d"	X	≥ "36d"	X	"6d"
				< "36d"	H	"0d"
≥ "30d"	L			"5d"		
< "30d"	X			"5d"		
"6d"	X	≥ "44d"	X	"0d"		
		< "44d"	H	"0d"		
		≥ "38d"	L	"6d"		
		< "38d"	X	"6d"		
"Xd"		X	X	X	"0d"	

Таблица А.5.3.3.13

resetr	clk	strk1[2...0]	kodrk	trcnt[5...0]	srkfe	sy	try
L	X	X	X	X	X	X	L
H	↓	"5d"	X	≥ "36d"	X	X	L
				≥ "30d"	H	L	L
					L	X	L
				< "30d"	X	X	L
				"Xd"	X	X	X

Инв. № подлин	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.3.3.14

resetr	clk	strk1[2...0]	kodrk	trcnt[5...0]	srkfe	sz	trz
L	X	X	X	X	X	X	L
H	↓	"6d"	X	≥ "44d"	X	X	L
				< "44d"	H	L	L
						H	H
				≥ "38d"	L	X	L
		< "38d"	X	X	L		
"Xd"	X	X	X	X	X	L	

А.5.4. Структурная схема блока ТРК представлена на рис. А.7.

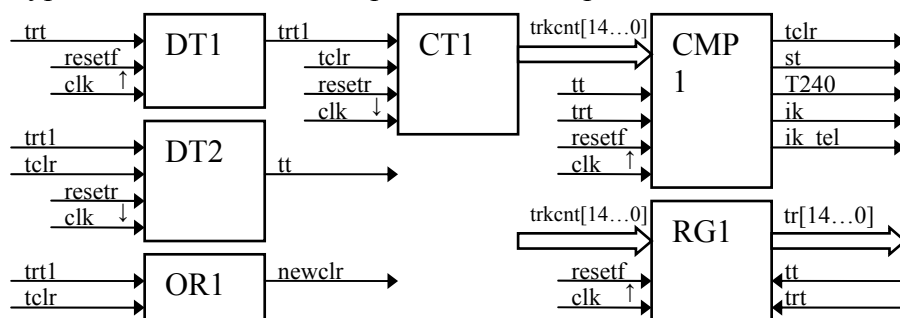


Рис. А.7 Структурная схема блока ТРК

А.5.4.1. Триггер DT1 должен формировать сигнал trt1 согласно таблице А.5.4.1.

А.5.4.2. Счетчик CT1 должен формировать выход trkcnt[14...0] согласно таблице А.5.4.2. На выходе счетчика должен находиться 15-ти разрядный двоичный параллельный код.

А.5.4.3. Блок сравнения CMP1 должен формировать сигналы tclr, st, t240, ik и ik_tel согласно таблицам А.5.4.3 - А.5.4.7.

А.5.4.4. Регистр RG1 должен формировать выход trk[14...0] согласно таблице А.5.4.8.

А.5.4.5. Триггер DT2 должен формировать сигнал tt согласно таблице А.5.4.9.

А.5.4.6. Блок OR1 должен формировать сигнал newclr согласно таблице А.5.4.10.

Таблица А.5.4.1

resetf	clk	trt	trt1
L	X	X	L
H	↑	L	L
		H	H

Таблица А.5.4.2

resetr	clk	trt1	tclr	trkcnt[14...0]
L	X	X	X	"17407d"
H	↓	L	L	$Q^0 + 1$
			H	"1d"
		H	X	"1d"

Инв. № дубл.	Подпись и дата
Взаим. инв. №	Подпись и дата
Инв. № подлин	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.4.3

resetf	clk	tt	trkcnt[14...0]	tclr
L	X	X	X	H
H	↑	L	< “16666d”	L
			≥ “16666d”	H
		H	< “17407d”	L
			≥ “17407d”	H

Таблица А.5.4.4

resetf	clk	trt	trkcnt[14...0]	st
L	X	X	X	H
H	↑	L	< “15926d”	Q ⁰
			≥ “15926d”	H
		H	X	L

Таблица А.5.4.5

resetf	clk	trt	trkcnt[14...0]	T240
L	X	X	X	L
H	↑	L	< “40d”	Q ⁰
			≥ “40d”	L
		H	X	H

Таблица А.5.4.6

resetf	clk	trkcnt[14...0]	ik
L	X	X	L
H	↑	≤ “20d”	H
		> “20d”	L

Таблица А.5.4.7

trkcnt[14...0]	ik tel
≤ “1600d”	H
> “1600d”	L

Таблица А.5.4.8

resetf	clk	trt	tt	trk[14...0]
L	X	X	X	“0d”
H	↑	L	X	Q ⁰
		H	L	Q ⁰
			H	trkcnt[14...0]

Таблица А.5.4.9

restr	clk	trt1	tclr	tt
L	X	X	X	L
H	↓	L	L	Q ⁰
			H	L
		H	X	H

Таблица А.5.4.10

trt1	tclr	newclr
L	L	L
	H	H
H	X	H

Инв. № подлин	Подпись и дата
Взаим. инв. №	Инв. № дубл.
Подпись и дата	
Инв. № подлин	

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

А.5.5. Структурная схема блока КПК представлена на рис. А.8.

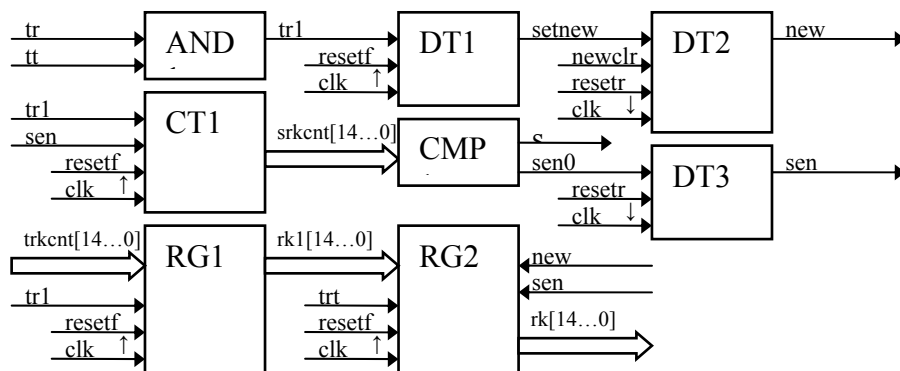


Рис. А.8 Структурная схема блока КПК

А.5.5.1. Блок AND1 должен формировать сигнал tr1 согласно таблице А.5.5.1.

А.5.5.2. Триггер DT1 должен формировать сигнал setnew согласно таблице А.5.5.2.

А.5.5.3. Триггер DT2 должен формировать сигнал new согласно таблице А.5.5.3.

А.5.5.4. Блок сравнения CMP1 должен формировать сигналы s и sen0 согласно таблицам А.5.5.4 и А.5.5.5.

А.5.5.5. Счетчик CT1 должен формировать выход srkcnt[14...0] согласно таблице

А.5.5.6. На выходе счетчика должен находиться 15-ти разрядный двоичный параллельный код.

А.5.5.6. Триггер DT3 должен формировать сигнал sen согласно таблице А.5.5.7.

А.5.5.7. Регистр RG1 должен формировать выход rk1[14...0] согласно таблице А.5.5.8.

А.5.5.8. Регистр RG2 должен формировать выход rk[14...0] согласно таблице А.5.5.9.

Таблица А.5.5.1

tr	tt	tr1
L	X	L
H	L	L
	H	H

Таблица А.5.5.2

resetf	clk	tr1	setnew
L	X	X	L
H	↑	L	L
		H	H

Таблица А.5.5.3

resetr	clk	setnew	newclr	new
L	X	X	X	L
H	↓	L	L	Q ⁰
		H	X	L
		H	X	H

Таблица А.5.5.4

srkcnt[14...0]	s
< "15306d"	L
≥ "15306d"	H

Подпись и дата	
Инв. № дубл.	
Взаим. инв. №	
Подпись и дата	
Инв. № подлин	

Изм	Лист	№ документа	Подпись	Дата
-----	------	-------------	---------	------

Таблица А.5.5.5

srkcnt[14...0]	sen0
< "18026d"	H
≥ "18026d"	L

Таблица А.5.5.6

resetf	clk	tr1	sen	srkcnt[14...0]
L	X	X	X	"18026d"
H	↑	L	L	Q^0
			H	$Q^0 + 1$
		H	X	"0d"

Таблица А.5.5.7

resetr	clk	sen0	sen
L	X	X	L
H	↓	L	L
		H	H

Таблица А.5.5.8

resetf	clk	tr1	rk1[14...0]
L	X	X	"0d"
H	↑	L	Q^0
		H	trkcnt[14...0]

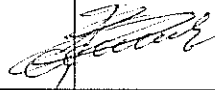
Таблица А.5.5.9

resetf	clk	trt	new	sen	rk[14...0]
L	X	X	X	X	"0d"
H	↑	L	X	L	"0d"
				H	Q^0
				L	"0d"
		H	L	L	Q^0
				H	Q^0
				H	rk1[14...0]

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

Лист регистрации изменений

Изм	Номера листов (страниц)				Всего листов (страниц) в документе	№ документа	Входящий № сопроводительного документа и дата	Подпись	Дата
	Измененных	Замененных	Новых	Ануллированных					
1	-	1	-	-	32	ГАВЛ.431260.337	-		21.02.13

Изм. № документа	Подпись и дата	Взаим. нив. №	Изм. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	Лист
					32

ГАВЛ.431260.337 Д