

УТВЕРЖДЕН  
ГАВЛ.431260.195 Д-ЛУ

МИКРОСХЕМА ИНТЕГРАЛЬНАЯ  
Н5503ХМ1-195 АЕЯР.431260.159 ТУ  
КАРТА ЗАКАЗА  
ГАВЛ.431260.195 Д

Инд. № подлин	Подпись и дата
Взаим. инв. №	Инд. № дубл.
Подпись и дата	Подпись и дата

**КОНТРОЛЬНЫЙ  
ЭКЗЕМПЛЯР**

Нач. от 23 апр 2007 № 11111 "Судьбы" / Формы /

Изм. № подлин.	Подпись и дата	Взам. инв. №	Инв. №	бл.	Подпись и дата	Справка №	Перв. примен.
----------------	----------------	--------------	--------	-----	----------------	-----------	---------------

### 1 ОБЩИЕ СВЕДЕНИЯ

1.1 Регистрационный номер карты заказа - 195.

1.2 Обозначение микросхемы интегральной (далее микросхемы) в конструкторской документации:

Микросхема Н5503ХМ1-195 АЕЯР.431260.159 ТУ.

1.3 Обозначение машинного носителя с результатами проектирования (МНРП) ..... ГАВЛ.431260.195 Д1.

Контрольные суммы обязательных файлов на МНРП:

- а) STR -файл Структурное описание проекта БИС ..... 20439
- б) SOU-файл Описание топологии переменного слоя ..... 43828
- в) 000 -файл Описание тестовой последовательности ..... 27700
- г) PIN-файл Описание внешних выводов ..... 58408

1.4 Состав, нумерация, обозначение и назначение задействованных выводов должны соответствовать таблице 1.

1.5 В настоящем экземпляре карты заказа в таблице 2 тесты с 55 по 1800 элементарную проверку включительно не распечатаны. Полное описание тестовой последовательности представлено в 000-файле на МНРП.

1.6 Корпус типа Н09.28.

ГАВЛ.431260.195 Д

Изм	Лист	№ документа	Подпись	Дата	Литера	Лист	Лист
Разработал		Конягин	<i>[Подпись]</i>	15.09.09			
Проверил		Денисов	<i>[Подпись]</i>	15.09.09		1	1
Н. контроль		Сидорина					
Утвердил		Денисов	<i>[Подпись]</i>	15.09.09			

Микросхема интегральная  
Н5503ХМ1-195

Карта заказа

## 2 ТЕХНИЧЕСКОЕ ОПИСАНИЕ

### 2.1 Наименование микросхемы -

Приёмопередатчик мультиплексного канала обмена (далее по тексту ППМКО)

### 2.2 Функциональное назначение микросхемы

ППМКО предназначен для организации обмена информацией в мультиплексном канале в соответствии с ГОСТ 26765.52.

ППМКО обеспечивает стробирование передаваемых сигналов, а также блокировку передатчика при превышении длительности непрерывной передачи информации более 801 мкс или при перегрузке по току.

2.3 Описание структурной схемы, режимов и временных диаграмм работы ГФЗ приведено в приложении А.

2.4 ППМКО должен удовлетворять требованиям технических условий АЕЯР.431260.159 ТУ (далее по тексту – ТУ) с дополнениями и уточнениями, изложенными в настоящей карте заказа.

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

					<b>Г АВЛ.431260.195 Д</b>	Лист
Изм	Лист	№ документа	Подпись	Дата		3

2.4.1 Общее количество задействованных выводов ППМКО – 26.

В графе "нагрузка" символы "R" указывают выводы, к которым должны быть подключены нагрузочные резисторы во время тестовой проверки работоспособности микросхемы.

Состав и нумерация общего, питающего и незадействованных выводов:

номер общего вывода .....	14
номер питающего вывода .....	28
номера незадействованных выводов .....	11, 24

2.5 Микросхема должна выполнять тестовую последовательность элементарных проверок (ТПЭП), представленную в таблице 2, в режимах и условиях, приведенных в ТУ и в настоящей карте заказа.

2.5.1 ТПЭП предназначена для проверки функций и параметров микросхемы. Элементарные проверки для измерения статических параметров (токи потребления, выходные напряжения и токи утечки) определяются измерительной системой автоматически при выполнении функционального контроля микросхемы.

2.5.2 ТПЭП представляет собой набор пронумерованных строк. Строки начинаются с номера, который соответствует номеру элементарной проверки (ЭП). Если некоторая элементарная проверка выполняется более одного раза подряд, то номер следующей строки увеличивается на число повторений этой элементарной проверки. Каждая строка определяет состояния всех (кроме общих, питающих и неиспользуемых) выводов проверяемой микросхемы в течение одной элементарной проверки, а каждый столбец - состояние одного вывода в течение всех элементарных проверок.

2.5.3 Общий порядок выполнения одной элементарной проверки:

- определить "входы" и "выходы" среди выводов микросхемы в нулевой момент времени относительно начала элементарной проверки,
- переключить потенциальные и импульсные "входы" в соответствии с установленными для них задержками и длительностями;
- проверить "выходы" с установленными задержками относительно начала элементарной проверки.

Инов. № подлин	
Подпись и дата	
Взаим. инв. №	
Инов. № дубл.	
Подпись и дата	

					<b>ГАВЛ.431260.195 Д</b>	Лист
Изм	Лист	№ документа	Подпись	Дата		4



2.5.4. В течение одной элементарной проверки состояние любого вывода представляют одним из следующих условных символов :

- "0" - вход, низкий уровень напряжения;
- "1" - вход, высокий уровень напряжения;
- "-" - вход, импульсное напряжение типа (  );
- "+" - вход, импульсное напряжение типа (  );
- "X" - выход, непроверяемый;
- "L" - выход, низкий уровень напряжения;
- "H" - выход, высокий уровень напряжения;
- "Z" - выход, непроверяемое высокоимпедансное состояние;
- "R" - выход, высокоимпедансное состояние, высокий уровень напряжения за счет нагрузочного резистора.

#### 2.5.5. Динамические параметры "ЭП"

Период "ЭП" задан абсолютным значением в секундах, а остальные параметры - в процентах от периода "ЭП":

минимальный период, с ..... 1\*1E-6  
 задержка для проверки выходов ..... 90%.

2.5.6. Количество "ЭП" в тестовой последовательности 1836.

Инь. № подлин	Подпись и дата
Взаим. инв. №	Инь. № дубл.
Подпись и дата	

Изм	Лист	№ документа	Подпись	Дата	<b>Г А В Л . 4 3 1 2 6 0 . 1 9 5 Д</b>	Лист
						6

Таблица 2

Номера элементарных проверок	Номера и состояния выводов микросхемы
	111111112222222 123456789023567890123567

- 0> RRL1HH0L000110L001110RRL;
- 1> RRL1HH0L000110L001110RRL;
- 2> RRL1HH0L000101L001110RRL;
- 3> RRL1HH0L000101L001110RRL;
- 4> RRL1LLOH000110L011110RRL;
- 5> RRL1LLOH000110L011110RRL;
- 6> RRL1LHOH000101L011110RRL;
- 7> RRL1LHOH000101L011110RRL;
- 8> RRL1HH0L000101L001110RRL;
- 9> RRL1HH0L000101L001110RRL;
- 10> RRL0HH0L001001L001110RRL;
- 11> RRL1HH0L001001L001110RRL;
- 12> RRL1LHOH000101L011110RRL;
- 13> RRL1LHOH000101L011110RRL;
- 14> RRL1HH0H001001L011110RRL;
- 15> RRL1HH0H001001L011110RRL;
- 16> RRL1HH0L001001L001110RRL;
- 17> RRL1HH0L001001L001110RRL;
- 18> RRL1HH0L001001L001101RRL;
- 19> RRL1HH0L001001L001101RRL;
- 20> RRL1HH0H001001L011110RRL;
- 21> RRL1HH0H001001L011110RRL;
- 22> RRL1HH0L001001L011101RRL;
- 23> RRL1HH0L001001L011101RRL;
- 24> RRL0HH0L011001H011101RRL;
- 25> HHR0HH+L011001H010101RRL;
- 26> HHR0HH0L011001H010101RRL;
- 27> HHR0HH+L001001H110101RRL;
- 28> HHR0HH0L001001H110101RRL;
- 29> RRL0HH+L001001H111001HHR;
- 30> RRL0HH0L011001H111001HHR;
- 31> RRL0HH+L011001H111001HHR;
- 32> RRL0HH0L011001H111001HHR;
- 33> HHR0HH+L001001H110101RRL;
- 34> RRL0HH0L001001L100101RRL;
- 35> RRL0HH+L001001L100101RRL;
- 36> RRL0HH0L011001L000101RRL;
- 37> RRL0HH+L011001L001001RRL;
- 38> RRL0HH0L011001L001001RRL;
- 39> RRL0HH+L001001L101001RRL;
- 40> RRL0HH0L001001L101001RRL;
- 41> RRL0HH+L001001L100101RRL;
- 42> RRL0HH0L011001L100101RRL;
- 43> RRL0HH+L011001L100101RRL;
- 44> RRL0HH0L011001H110101RRL;
- 45> RRL0HH+L001001H111001HHR;
- 46> RRL0HH0L001001H111001HHR;
- 47> RRL0HH+L001001H111001HHR;
- 48> RRL0HH0L011001H011001HHR;
- 49> HHR0HH+L011001H010101RRL;
- 50> HHR0HH0L011001H010101RRL;
- 51> HHR0HH+L001001H110101RRL;
- 52> HHR0HH0L001001H110101RRL;
- 53> RRL0HH+L001001H111001HHR;
- 54> RRL1HH0L011001L111001RRL;

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

Продолжение таблицы 2

Номера элементарных проверок	Номера и состояния выводов микросхемы
	111111112222222 123456789023567890123567

1801> RRL0HH+L001001H011001HHR;  
 1802> HHR0HH+L001001H010101RRL;  
 1803> HHR0HH+L001001H010101RRL;  
 1804> RRL0HH+L001001H011001HHR;  
 1805> RRL0HH+L001001H011001HHR;  
 1806> HHR0HH+L001001H010101RRL;  
 1807> HHR0HH+L001001H010101RRL;  
 1808> RRL0HH+L001001H011001HHR;  
 1809> RRL0HH+L001001H011001HHR;  
 1810> HHR0HH+L001001H010101RRL;  
 1811> HHR0HH+L001001H010101RRL;  
 1812> RRL0HH+L001001H011001HHR;  
 1813> RRL0HH+L001001H011001HHR;  
 1814> HHR0HH+L001001H010101RRL;  
 1815> HHR0HH+L001001H010101RRL;  
 1816> RRL0HH+L001001H011001HHR;  
 1817> RRL0HH+L001001H011001HHR;  
 1818> HHR0HH+L001001H010101RRL;  
 1819> HHR0HH+L001001H010101RRL;  
 1820> RRL0HH+L001001H011001HHR;  
 1821> RRL0HH+L001001L011001RRL;  
 1822> RRL0HH+L001001L010101RRL;  
 1823> RRL0HH+L001001L010101RRL;  
 1824> RRL1HH0L100110L001110RRL;  
 1825> RRL1HH0L100110L001110RRL;  
 1826> RRL1HH0L100110L001110RRL;  
 1827> RRL1HH0L100110L001110RRL;  
 1828> RRL1HH0L100110L001110RRL;  
 1829> RRL1HH0L101001L001110RRL;  
 1830> RRL1HH0L101001L001110RRL;  
 1831> RRL1HH0L101001L001110RRL;  
 1832> RRL1HH0L101001L001110RRL;  
 1833> RRL1HH0L101001L001110RRL;  
 1834> RRL1HH0L101111L001110RRL;  
 1835> RRL1HH0L100000L001110RRL;

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата	<b>ГАВЛ.431260.195 Д</b>	Лист
						8





#### 4 ГАРАНТИИ ЗАКАЗЧИКА

Заказчик гарантирует:

- полноту технического описания структурной схемы и режимов (включая временные диаграммы) работы микросхемы, представленных в данном документе;
- взаимное соответствие данного документа, электрических схем и результатов проектирования на магнитном носителе;
- соответствие топологической информации требованиям конструктивно-технологических ограничений базового кристалла;
- работоспособность микросхемы, подтверждённую расчётным путём с учётом параметров топологии и разброса электрофизических характеристик.

Инв. № подлин	Подпись и дата				Инв. № дубл.	Подпись и дата				Инв. № инв. №	Подпись и дата				Лист
Изм	Лист	№ документа	Подпись	Дата	<b>Г АВЛ.431260.195 Д</b>										Лист

**Приложение А**  
**(обязательное)**  
Техническое описание микросхемы

**А1 Назначение микросхемы**

А.1.1 ППМКО предназначен для организации обмена информацией в мультиплексном канале в соответствии с ГОСТ 26765.52-87.

ППМКО обеспечивает стробирование передаваемых сигналов, а также блокировку передатчика при превышении длительности непрерывной передачи информации более 801 мкс или при перегрузке по току.

А.1.2 Структурная схема ППМКО представлена на рисунке А.1.

**А.2 Состав ППМКО**

А.2.1 ППМКО (рисунок А.1) состоит из следующих составных частей:

- трёх компараторов;
- схемы блокировки передатчика;
- схемы определения длительности посылки;
- схемы стробированной входной логики.

Инов. № подлин	Подпись и дата	Взаим. инв. №	Инов. № дубл.	Подпись и дата	Инов. № подлин	Изм	Лист	№ документа	Подпись	Дата	<b>ГАВЛ.431260.195 Д</b>	Лист
												12

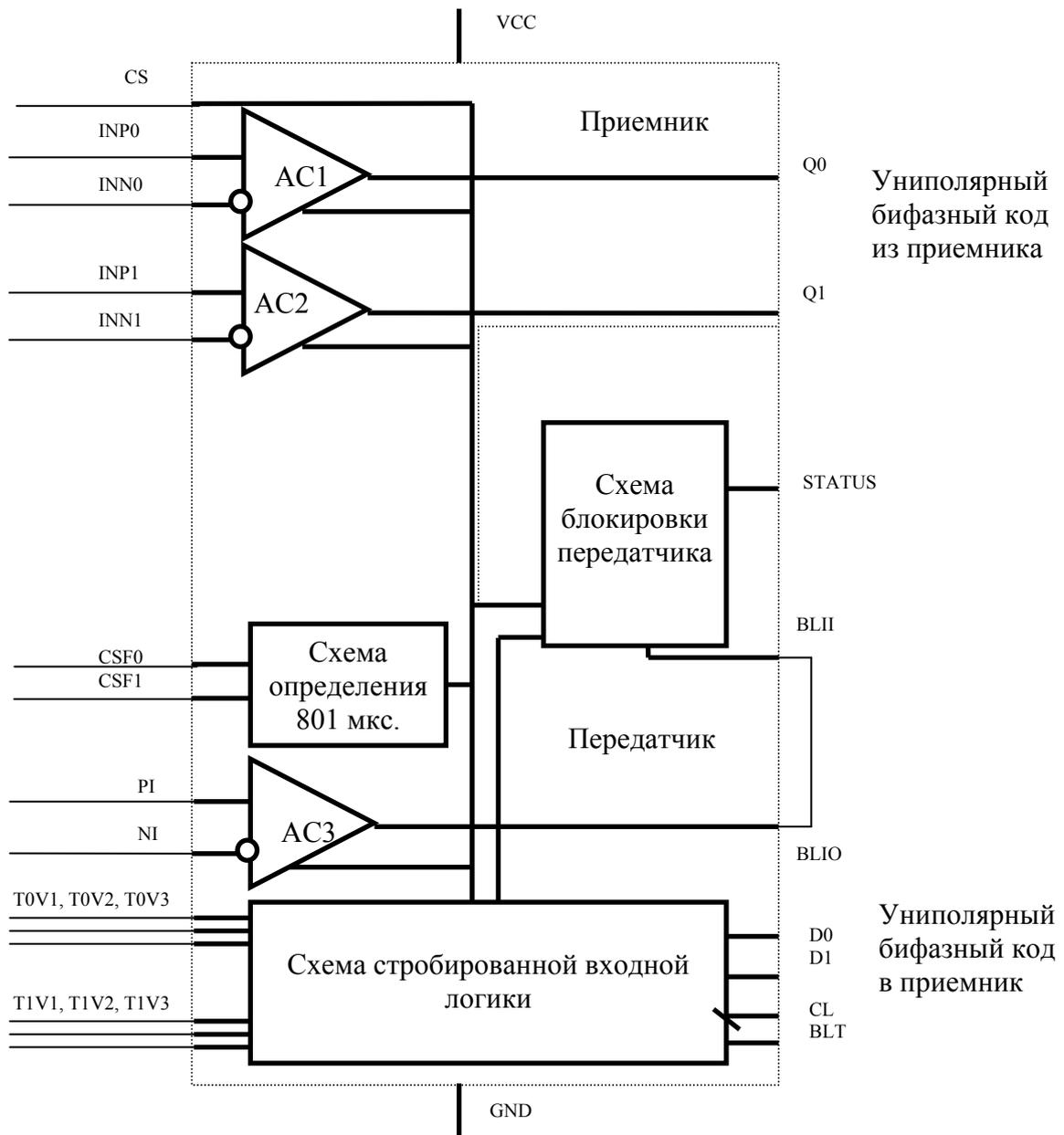


Рисунок А.1 СТРУКТУРНАЯ СХЕМА ППМКО

Инов. № подлин	Подпись и дата
Взаим. инв. №	Инов. № дубл.
Инов. № подлин	Подпись и дата

Изм	Лист	№ документа	Подпись	Дата

### А.3 Описание работы ППМКО

В составе ППМКО можно выделить две части: приемник и передатчик.

А.3.1 В передатчике входные данные D0, D1 стробируются частотой, поступающей на вход CL, полученные сигналы транслируются на выходы T0V1, T0V2, T0V3, T1V1, T1V2, T1V3. Активное состояние выходов T1Vi и T0Vi - высокий уровень, пассивное состояние низкий уровень.

А.3.2. Передатчик блокируется в следующих случаях:

- 1) при подаче на вывод CS низкого уровня (блокируется и приемник и передатчик);
- 2) при одновременном появлении на выводах D1, D0 одинакового уровня на время более одного периода частоты стробирования данных;
- 3) при появлении на выводе BLT высокого уровня;
- 4) при появлении сигнала о перегрузке по току в инвертирующих буферах-формирователях, который формируется на аналоговом компараторе АСЗ;
- 5) при превышении длительности передачи информации  $t_n \geq 801$  мкс, при частотах стробирования 2МГц, 4МГц, 8МГц.

А.3.3 При блокировке выходы T1Vi и T0Vi переходят в пассивное состояние, после этого на выводе STATUS формируется низкий уровень.

А.3.4 Значение частоты стробирования определяется конфигурационными выводами CSF0, CSF1 в соответствии с таблицей А.1.

Таблица А.1 Задание частоты стробирования

CSF1	CSF0	Значение частоты
0	0	2 МГц
0	1	4 МГц
1	0	8 МГц
1	1	Блокировка 801 мкс не анализируется

Подпись и дата	
Инв. № дубл.	
Взаим. инв. №	
Подпись и дата	
Инв. № подлин	

А.3.5 Алгоритм работы ППМКО в режиме передатчика приведен в таблице А.2.

Таблица А.2 Алгоритм работы ИС при передаче информации

D0	D1	CL	CS	BLT	Перегрузка по току	$t_{n \geq 801 \mu s}$	STATUS	T0	T1
X	X	X	0	X	Нет	X	0	низкий уровень	низкий уровень
X	X	X	1	X	Нет	Да	0	низкий уровень	низкий уровень
X	X	X	1	X	Да	Нет	0	низкий уровень	низкий уровень
X	X	X	1	1	Нет	Нет	0	низкий уровень	низкий уровень
0	0		1	0	Нет	Нет	0	низкий уровень	низкий уровень
0	1		1	0	Нет	Нет	1	высокий уровень	низкий уровень
1	0		1	0	Нет	Нет	1	низкий уровень	высокий уровень
1	1		1	0	Нет	Нет	1	низкий уровень	низкий уровень

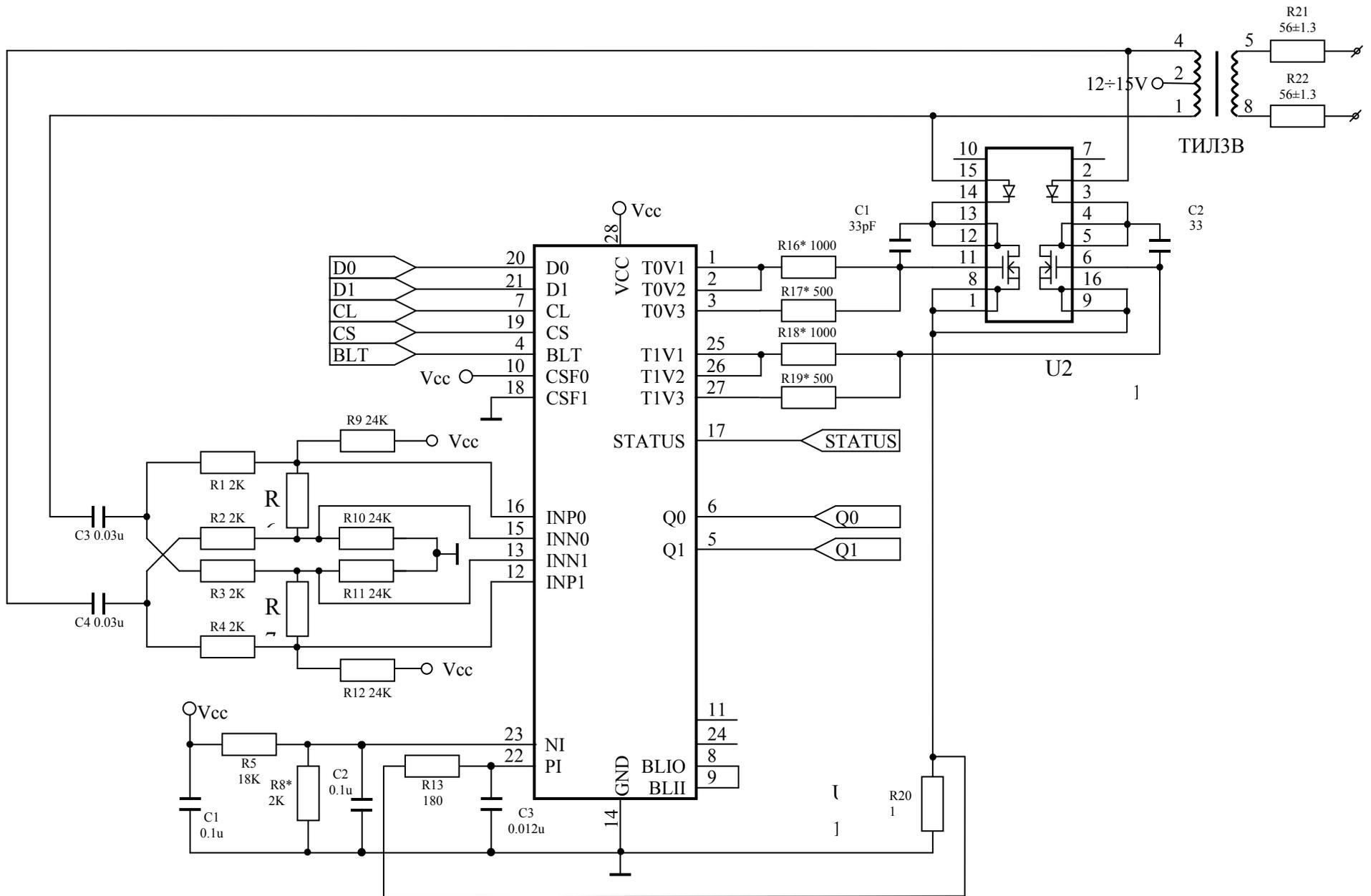
А.3.6 Приемник принимает информацию из линии передач на входы INN0, INN1, INP0, INP1, преобразует входной фазомодулированный биполярный код в униполярный бифазный код с помощью компараторов АС1 и АС2. Полученный код через выходы Q1 и Q2 передается в цифровом виде в устройство, декодирующее бифазные униполярные сигналы. Прием информации определяется наличием высокого уровня на выводе CS и наличием бифазных сигналов на выводах Q1 и Q2. Выводы Q1 и Q2 оба находятся в состоянии высокого уровня (5 В), при отсутствии частоты на входе CL, обеспечивающей стробирование входной информации.

А.3.7 Микросхема ППМКО позволяет реализовать приемо-передатчик в гибридном исполнении или в исполнении на дискретных элементах. Пример схемы приёмо-передатчика МКО приведена на рисунке А.2.

Изм	Лист	№ документа	Подпись	Дата
Изм	Лист	№ документа	Подпись	Дата

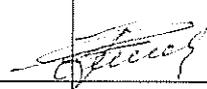
Инв. № подл	Подпись и дата	Взаим. инв. №	Инв. № дубл.	Подпись и дата

Рисунок А.2. Схема приемопередатчика МКО с применением БИС Н5503ХМ1-195 и БИС 1469КТ1Т



Г.А.В.Л.431260.195 Д

Лист регистрации изменений

Изм	Номера листов (страниц)				Всего листов (страниц) в документе	№ документа	Входящий № сопроводительного документа и дата	Подпись	Дата
	Измененных	Замененных	Новых	Ануллированных					
1	-	1	-	-	17	ГАВЛ.431260.195	-		21.02.13

Изм.	№ документа	Подпись и дата	Взам. инв. №	Инв. № дубл.	Подпись и дата